

2661
JFW

PATENT
2080-3-53
Customer No: 035884

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:
In Hwan Choi, et al.
Serial No: 09,991,581
Filed: November 16, 2001
For: DIGITAL VSB TRANSMISSION SYSTEM

Art Unit: 2661

Examiner:

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

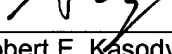
Enclosed herewith is a certified copies of Korean Patent Application No. 2001-0032611 filed on June 11, 2001, and from which priority is claimed under 35 U.S.C. Section 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

Date: March 10, 2005

Customer No. 035884

By: 
Robert E. Kasody
Registration No. 50,268
Attorney for Applicant(s)

801 S. Figueroa Street, 14th Floor
Los Angeles, California 90017
Telephone: (213) 623-2221
Facsimile: (213) 623-2211

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 :
Application Number

특허출원 2001년 제 32611 호
PATENT-2001-0032611

출원 년 월 일 :
Date of Application

2001년 06월 11일
JUN 11, 2001

출원인 :
Applicant(s)

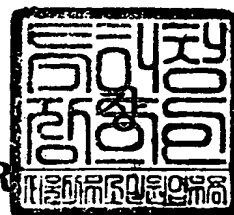
엘지전자 주식회사
LG ELECTRONICS INC.



2001 07 12
 년 월 일

특 허 청

COMMISSIONER



CERTIFIED COPY OF
PRIORITY DOCUMENT

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0007
【제출일자】	2001.06.11
【국제특허분류】	H04N
【발명의 명칭】	디지털 V S B 전송 시스템
【발명의 영문명칭】	Digital vestigial sideband transmit system
【출원인】	
【명칭】	엘지전자 주식회사
【출원인코드】	1-1998-000275-8
【대리인】	
【성명】	김용인
【대리인코드】	9-1998-000022-1
【포괄위임등록번호】	2000-005155-0
【대리인】	
【성명】	심창섭
【대리인코드】	9-1998-000279-9
【포괄위임등록번호】	2000-005154-2
【발명자】	
【성명의 국문표기】	구영모
【성명의 영문표기】	GU, Young Mo
【주민등록번호】	690420-1011720
【우편번호】	150-040
【주소】	서울특별시 영등포구 당산동 2가 현대아파트 107동 1105호
【국적】	KR
【발명자】	
【성명의 국문표기】	최인환
【성명의 영문표기】	CHOI, In Hwan
【주민등록번호】	740713-1143517
【우편번호】	153-034
【주소】	서울특별시 금천구 시흥4동 173-16
【국적】	KR

【발명자】**【성명의 국문표기】**

강경원

【성명의 영문표기】

KANG, Kyung Won

【주민등록번호】

750214-1031612

【우편번호】

120-180

【주소】

서울특별시 서대문구 창천동 4-70 101호

【국적】

KR

【발명자】**【성명의 국문표기】**

곽국연

【성명의 영문표기】

KWAK, Kook Yeon

【주민등록번호】

561017-1386111

【우편번호】

431-080

【주소】

경기도 안양시 동안구 호계동 목련 신동아아파트 901-503

【국적】

KR

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대
리인 김용
인 (인) 대리인
심창섭 (인)

【수수료】**【기본출원료】**

20 면 29,000 원

【가산출원료】

32 면 32,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

0 항 0 원

【합계】

61,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

기존의 ATSC 8T-VSB 수신 시스템과 호환 가능하면서 별도의 부가 데이터를 전송할 수 있는 VSB 전송 시스템에 관한 것으로서, 특히 부가 데이터 심볼에 대해서는 프리코더를 바이패스시켜 출력함과 동시에, 상기 부가 데이터 심볼을 1/2 길쌈 부호화한 후 미리 정의된 시퀀스와 다중화하여 전송함으로써, 미리 정의된 시퀀스만을 사용한 디지털 VSB 전송 시스템에 비해서 부가 데이터에 대해 더 큰 부호화 이득을 얻을 수 있고, 1/2 길쌈 부호화만을 사용한 디지털 VSB 전송 시스템에 비해서 채널의 고스트에 대한 수신 성능을 개선할 수 있으며, 또한, 채널의 잡음 및 고스트에 대한 성능을 더욱 개선할 수 있다.

【대표도】

도 11

【색인어】

부가 데이터, 프리코더 바이패스

【명세서】**【발명의 명칭】**

디지털 VSB 전송 시스템{Digital vestigial sideband transmit system}

【도면의 간단한 설명】

도 1은 ATSC 8T-VSB 송신 시스템

도 2는 ATSC 8T-VSB 수신 시스템

도 3은 본 발명의 디지털 텔레비전 방송용 VSB 송신 시스템

도 4는 트렐리스 부호기 및 프리코더의 구성을 보여주는 블록도

도 5는 본 발명의 디지털 VSB 전송 시스템에서 1/2 부호율 부호기 및 1/2 부호율로 부호화된 데이터와 미리 정의된 시퀀스를 다중화하는 멀티플렉서를 보인 구성 블록도

도 6은 본 발명에 따른 피드백 형태의 1/2 길쌈 부호기를 일반화한 구성 블록도

도 7a는 도 6에서 레지스터가 2개인 경우의 1/2 길쌈 부호기의 구성 블록도

도 7b는 도 6에서 레지스터가 3개인 경우의 1/2 길쌈 부호기의 구성 블록도

도 7c는 도 6에서 레지스터가 4개인 경우의 1/2 길쌈 부호기의 구성 블록도

도 8은 본 발명에 따른 디지털 VSB 전송 시스템에서 부가 데이터 심볼 처리부의 상세 블록도

도 9는 변형된 프리코더의 일 예를 보인 구성 블록도

도 10은 도 9의 변형된 프리코더가 적용된 부가 데이터 심볼 처리부의 상세 블록도

도 11은 도 10의 부가 데이터 심볼 처리부가 적용된 본 발명의 디지털 VSB 전송 시스템의 구성 블록도

도 12는 도 10에서 제어 신호 2 내지 제어 신호 4를 생성하는 예를 보인 블록도

도 13은 도 10에서 제어 신호 5를 생성하는 예를 보인 구성 블록도

도면의 주요 부분에 대한 부호의 설명

31 : 1/2 부호율 부호기 32 : 멀티플렉서

61 : 프리코더 바이패스부 62 : 1/2 길쌈 부호화기

63 : 프리코더 64 : 트렐리스 부호화기

71 : 부가 데이터 처리부 72 : 멀티플렉서

73 : 제 1 부호화부 73a : 데이터 랜더마이저

73b : 리드-솔로몬 부호기/패리티 위치 홀더 삽입부

73c : 데이터 인터리버 73d : 패리티 치환부

73e : 바이트-심볼 변환부 73f : 심볼-바이트 변환부

73g : 비체계적 리드 솔로몬 부호기

74 : 부가 데이터 심볼 처리부 75 : 8T-VSB 송신부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<27> 본 발명은 기존의 ATSC 8T-VSB 수신 시스템과 호환 가능하면서 별도의 부가 데이터를 전송할 수 있는 VSB 전송 시스템에 관한 것이다.

<28> 미국에서는 지상파 디지털 방송을 위해 ATSC 8T-VSB(8 Trellis-Vestigial Sideband) 전송 방식을 1995년 표준으로 채택하여 1998년 하반기부터 방송을 하고 있으

며, 우리 나라에서도 미국 방식과 동일한 ATSC 8T-VSB 전송 방식을 표준으로 채택하여 1995년 5월 실험 방송을 시작하였고 2000년 8월 31일 시험 방송 체제로 전환하였다.

<29> 도 1은 종래 ATSC 8T-VSB 송신 시스템을 나타낸 것이다.

<30> 도 1에서, 데이터 랜더마이저(1)는 데이터를 랜덤하게 하여 리드 솔로몬 부호기(2)로 출력하며, 상기 리드 솔로몬 부호기(2)는 상기 랜더마이즈된 데이터를 리드 솔로몬 부호화하여 상기 데이터 내에 20 바이트의 패리티 부호를 첨가한 후 데이터 인터리버(3)로 출력한다. 상기 데이터 인터리버(3)는 데이터를 인터리빙하여 트렐리스 부호기(4)로 출력하며, 상기 트렐리스 부호기(4)는 인터리빙된 데이터를 바이트에서 심볼로 변환시킨 후 트렐리스 부호화한다. 멀티플렉서(5)에서는 트렐리스 부호화된 심볼열과 동기 신호들을 멀티플렉싱하여 파일럿 삽입기(6)로 출력하며, 상기 파일럿 삽입기(6)는 파일럿 신호를 상기 멀티플렉싱된 심볼열에 추가한다. VSB 변조기(7)는 상기 파일럿 삽입기(6)에서 출력되는 심볼열을 8T-VSB 신호로 변조하여 RF 변환기(8)로 출력한다. 상기 RF 변환기(8)는 8T-VSB 신호로 변조된 기저 대역 신호를 RF 대역 신호로 변환하고 상기 RF 대역 신호는 안테나(9)를 통해 수신 시스템을 향해 전송된다.

<31> 도 2는 종래 ATSC 8T-VSB 수신 시스템을 나타낸 것이다.

<32> 도 2에서 복조기(11)는 안테나(10)를 통해 수신된 RF 대역의 신호를 기저 대역의 신호로 바꾸고, 동기 및 타이밍 복구기(도시되지 않음)는 세그먼트 동기 신호, 필드 동기 신호, 그리고 심볼 타이밍을 복구한다. 한편, 콤 필터(12)는 NTSC 간섭 신호를 제거하고, 채널 등화기(13)는 슬라이서 예측기(14)를 사용하여 전송 중에 왜곡된 채널을 보정한다. 상기 위상 복원기(15)는 수신된 신호의 위상을 복원하고, 트렐리스 복호기(16)는 위상 복원된 신호 상에 비터비 복호를 수행하여 데이터 디인터리버(17)로 출력한다.

상기 데이터 디인터리버(17)는 상기 VSB 전송 시스템의 데이터 인터리버(3)의 역동작을 수행하여 리드 솔로몬 복호기(18)로 출력하고, 상기 리드 솔로몬 복호기(18)는 리드 솔로몬 부호화된 신호를 복호한다. 한편, 데이터 디랜더마이저(19)는 상기 전송 시스템 내 상기 데이터 랜더마이저(1)의 역동작을 수행한다.

【발명이 이루고자 하는 기술적 과제】

<33> 즉, 북미 및 국내에서 디지털 방송 표준으로 채택된 8T-VSB 전송 방식은 MPEG 영상/음향 데이터의 전송을 위해 개발된 시스템이다. 그러나, 요즘 디지털 신호처리 기술이 급속도로 발전하고, 인터넷이 널리 사용됨에 따라서 디지털 가전과 컴퓨터 및 인터넷 등이 하나의 큰 틀에 통합되어 가는 추세이다. 따라서, 사용자의 다양한 요구를 충족시키기 위해서는 디지털 방송 채널을 통하여 영상/음향 데이터에 더하여 각종 부가 데이터를 전송할 수 있는 시스템의 개발이 필요하다.

<34> 그리고, 부가 데이터 방송의 일부 이용자는 간단한 형태의 실내 안테나가 부착된 PC 카드 또는, 포터블 기기를 이용하여 부가 데이터 방송을 수신할 것으로 예측되는데, 실내에서는 벽에 의한 차단과 근접 이동체의 영향으로 신호 세기가 크게 감소하고, 반사파로 인한 고스트와 잡음의 영향으로 방송 수신 성능이 떨어지는 경우가 발생할 수 있다. 그런데, 일반적인 영상/음향 데이터와는 달리 부가 데이터 전송의 경우에는 보다 낮은 오류율을 가져야 한다. 영상/음향 데이터의 경우에는 사람의 눈과 귀가 감지하지 못하는 정도의 오류는 문제가 되지 않는 반면에, 부가 데이터의 경우에는 한 비트의 오류가 발생해도 심각한 문제를 일으킬 수 있다. 따라서, 채널에서 발생하는 고스트와 잡음에 더 강한 시스템의 개발이 필요하다.

<35> 이때, 부가 데이터 전송은 통상, MPEG 영상/음향과 동일한 채널을 통해 시분할 방

식으로 이루어질 것이다. 그런데, 디지털 방송이 시작된 이후로 시장에는 이미 MPEG 영상/음향만 수신하는 ATSC VSB 디지털 방송 수신기가 널리 보급되어 있는 상황이다. 따라서, MPEG 영상/음향과 동일한 채널로 전송되는 부가 데이터가 기존에 시장에 보급된 기존 ATSC VSB 전용 수신기에 아무런 영향도 주지 않아야 한다. 이와 같은 상황을 ATSC VSB 호환으로 정의하며, 부가 데이터 방송 시스템은 ATSC VSB 시스템과 호환 가능한 시스템이어야 할 것이다.

<36> 이러한 문제점을 해결하기 위하여 본 출원인은 관련 특허를 기 출원한 바 있다(출원번호 : P01-3304, 출원일 : 2001.1.19).

<37> 본 발명의 목적은 기존의 ATSC 8T-VSB 수신 시스템과 호환이 가능하도록 부가 데이터를 전송하는 디지털 VSB 전송 시스템을 제공함에 있다.

<38> 본 발명의 다른 목적은 부가 데이터 심볼에 대해서 프리코더를 바이패스함으로써, 채널의 잡음 및 고스트에 대한 수신 성능을 더욱 향상시키는 디지털 VSB 전송 시스템을 제공함에 있다.

【발명의 구성 및 작용】

<39> 상기와 같은 목적을 달성하기 위한 본 발명에 따른 디지털 VSB 전송 시스템은, 부가 데이터에 대해 리드-솔로몬 부호화, 미리 정의된 시퀀스 삽입을 수행한 후 MPEG 헤더를 삽입하여 MPEG 트랜스포트 패킷의 포맷으로 변환하는 부가 데이터 처리부와, 상기 MPEG 트랜스포트 패킷의 포맷으로 변환된 부가 데이터와 MPEG 방송 데이터를 다중화하여 출력하는 다중화부와, 상기 다중화부에서 출력되는 데이터가 부가 데이터 세그먼트인 경우 세그먼트 내의 패리티 바이트가 정보 바이트보다 데이터 인터리버에서 늦게 출력되

도록 패리티 바이트 위치를 결정한 후 상기 결정된 패리티 바이트를 프리코더 바이패스된 부가 데이터로부터 계산한 비체계적 리드 솔로몬 패리티 바이트로 치환하는 제 1 부호화부와, 상기 제 1 부호화부에서 출력되는 데이터가 부가 데이터 심볼인 경우 부가 데이터의 정보 비트에 대해 프리코더를 바이패스시켜 출력함과 동시에 상기 정보 비트를 1/2 부호율로 부호화한 후 상기 1/2 부호율로 부호화된 데이터와 미리 정의된 시퀀스를 다중화하여 출력하는 부가 데이터 심볼 처리부와, 상기 부가 데이터 심볼 처리부에서 출력되는 데이터에 대해 트렐리스 부호화한 후 VSB 전송 방식으로 변조하여 전송하는 VSB 송신부를 포함하여 구성되는 것을 특징으로 한다.

<40> 상기 제 1 부호화부는 바람직하게는, 상기 다중화부에서 출력되는 데이터에 대해 랜덤마이즈를 수행하는 데이터 랜더마이저와, 상기 데이터 랜덤마이즈된 데이터가 부가 데이터 세그먼트이면 패리티 위치 홀더를 구한 후 상기 패리티 위치 홀더에 널 바이트를 삽입하는 리드-솔로몬 부호기/패리티 위치 홀더 삽입부와, 상기 리드-솔로몬 부호기/패리티 위치 홀더 삽입부의 출력에 대해 데이터 인터리빙을 수행하여 각 세그먼트에 대해 다수개의 정보 바이트를 먼저 출력한 다음 다수개의 패리티 바이트를 나중에 출력하는 데이터 인터리버와, 상기 데이터 인터리버에서 출력되는 패리티 바이트를 비체계적 리드 솔로몬 부호화로 구한 패리티 바이트로 치환하는 패리티 치환부와, 상기 패리티 치환부의 출력을 심볼 단위로 변환하여 상기 부가 데이터 심볼 처리부로 출력하는 바이트-심볼 변환부와, 상기 부가 데이터 심볼 처리부에서 출력되는 심볼을 바이트 단위로 변환하는 심볼-바이트 변환부와, 상기 심볼-바이트 변환부의 출력에 대해 비체계적 리드 솔로몬 부호화를 수행하여 패리티 바이트를 다시 계산한 후 상기 패리티 치환부로 출력하는 비체계적 리드 솔로몬 부호기로 구성되는 것을 특징으로 한다.

- <41> 상기 리드-솔로몬 부호기/패리티 위치 홀더 삽입부는 바람직하게는, 입력되는 데이터가 부가 데이터 세그먼트인 경우에 20개의 패리티 바이트가 상기 데이터 인터리버의 출력단에서 187개의 정보 바이트보다 나중에 출력되도록 패리티 바이트의 위치를 정한 후 정해진 패리티 바이트 위치에는 널 바이트를 쓰고, 나머지 187개의 정보 바이트 위치에는 입력받은 187개의 정보 바이트를 순차적으로 쓰는 것을 특징으로 한다.
- <42> 상기 널 바이트가 삽입되는 패리티 바이트 위치는 각 세그먼트마다 다른 것을 특징으로 한다.
- <43> 상기 부가 데이터 심볼 처리부는 바람직하게는, 상기 제 1 부호화부에서 출력되는 부가 데이터의 정보 비트에 대해 프리코더를 바이패스하는 프리코더 바이패스부와, 상기 부가 데이터의 정보 비트에 대해 1/2 부호율로 부호화하여 패리티 비트를 발생하는 피드백 형태의 1/2 길쌈 부호기와, 일정한 패턴이 반복되는 제어 신호에 따라 1/2 부호율로 부호화된 패리티 비트와 상기 미리 정의된 시퀀스를 다중화하여 출력하는 선택부로 구성된 것을 특징으로 한다.
- <44> 상기 프리코더 바이패스부는 바람직하게는, 입력되는 데이터가 부가 데이터인 경우 프리코더를 바이패스시키고, 부가 데이터가 아닌 경우는 프리코딩시켜 출력하는 변형된 프리코더와, 상기 프리코더를 바이패스 또는 프리코딩되어 출력되는 데이터에 대해 포스트 디코딩을 수행하는 포스트 디코더로 구성되는 것을 특징으로 한다.
- <45> 상기 피드백 형태의 1/2 길쌈 부호기는 바람직하게는, 상기 부가 데이터의 정보 비트가 그대로 출력되는 상위 비트 출력단과, 길쌈 부호화된 하위 비트의 값을 피드백받아 소정값을 곱하는 곱셈기와, 상기 부가 데이터의 정보 비트를 입력받아 소정값을 곱하는 곱셈기와, 상기 두 곱셈기의 출력과 바로 전단의 레지스터의 출력을 더하는 가산기와,

상기 가산기의 출력을 일시 저장하는 레지스터를 포함하는 구조가 M (M 은 자연수)개 직렬로 구비되며, 상기 곱셈기에 곱해지는 소정값은 0 또는 1의 값을 갖는 것을 특징으로 한다.

<46> 상기 피드백 형태의 1/2 길쌈 부호기는 바람직하게는, 상기 부가 데이터의 정보 비트가 그대로 출력되는 상위 비트 출력단과, 입력되는 데이터가 부가 데이터인 경우에는 바로 뒷단의 레지스터에서 피드백되는 값을 선택하고, 부가 데이터가 아닌 경우에는 최종단의 레지스터에서 피드백되는 값을 선택하여 출력하는 제 1 선택부와, 상기 제 1 선택부를 통해 출력되는 값을 일시 저장하는 제 1 레지스터와, 상기 제 1 레지스터의 출력과 상기 부가 데이터의 정보 비트를 더하는 가산기와, 입력되는 데이터가 부가 데이터인 경우에는 상기 가산기에서 출력되는 값을 선택하고, 부가 데이터가 아닌 경우에는 최종단의 레지스터에서 피드백되는 값을 선택하여 출력하는 제 2 선택부와, 상기 제 2 선택부를 통해 출력되는 값을 일시 저장하는 제 2 레지스터와, 입력되는 데이터가 부가 데이터인 경우에는 상기 제 2 레지스터에서 출력되는 값을 선택하고, 부가 데이터가 아닌 경우에는 하위 비트로 입력되는 값을 선택하여 하위 비트 출력단으로 출력하는 제 3 선택부로 구성되며, 상기 제 1 레지스터, 가산기, 및 제 2 선택부는 상기 제 1 레지스터의 수만큼 직렬로 구성되는 것을 특징으로 한다.

<47> 본 발명에 따른 디지털 VSB 전송 시스템은, 입력되는 데이터가 부가 데이터인 경우 상기 부가 데이터의 정보 비트에 대해 프리코더를 바이패스하는 프리코더 바이패스부와, 상기 부가 데이터의 정보 비트에 대해 1/2 부호율로 부호화하여 패리티 비트를 발생한 후 상기 1/2 부호율로 부호화된 패리티 비트와 상기 부가 데이터에 삽입된 미리 정의된 시퀀스를 다중화하여 출력하는 1/2 부호율 부호기와, 상기 프리코더 바이패스부의 출력

데이터에 대해 프리 코딩을 수행하여 8T-VSB 변조기의 최상위 비트로 출력하는 프리 코더와, 상기 1/2 부호율 부호기의 출력 데이터를 그대로 상기 8T-VSB 변조기의 중간 비트로 출력함과 동시에 상기 출력 데이터를 트렐리스 부호화하여 상기 8T-VSB 변조기의 최하위 비트로 출력하는 트렐리스 부호기와, 상기 세 개의 입력 비트들에 해당하는 8 레벨의 변조값을 출력하는 8T-VSB 변조기를 포함하여 구성되는 것을 특징으로 한다.

<48> 본 발명의 다른 목적, 특징 및 잇점들은 첨부한 도면을 참조한 실시예들의 상세한 설명을 통해 명백해질 것이다.

<49> 이하, 본 발명의 바람직한 실시예를 첨부도면을 참조하여 상세히 설명한다.

<50> 도 3, 도 4는 본 출원이 기 출원한 특허(P01-3304, 2001.1.19)에 도시된 도면으로서, 종래 ATSC 8T-VSB 시스템과 호환 가능하고 MPEG 데이터는 물론 부가 데이터를 함께 전송할 수 있다.

<51> 도 3을 보면, 리드-솔로몬 부호기(20), 데이터 인터리버(21), 널 시퀀스 삽입부(22), 및 MPEG 헤더 삽입부(23)는 부가 데이터를 처리하는 부분으로서, 부가 데이터를 MPEG 트랜스포트 패킷과 동일한 구조로 만든다.

<52> 즉, 리드 솔로몬 부호기(20)는 부가 데이터를 리드 솔로몬 부호화하여 20바이트의 패리티 부호를 첨가하고, 데이터 인터리버(21)는 버스트 잡음에 대한 성능을 높이기 위하여 상기 패리티가 부가된 부가 데이터를 인터리빙한 후 널 시퀀스 삽입부(22)로 출력하여 상기 부가 데이터에 널 시퀀스를 삽입한다. 여기서, 널 시퀀스를 삽입하는 이유는 열악한 채널 환경에서도 수신이 잘될 수 있도록 하기 위해서이다.

<53> 일 예로 상기 널 시퀀스 삽입부(22)는 1개 비트의 부가 데이터가 입력되면 1개 비

트의 널 비트를 삽입하여 2개의 비트를 출력한다. 즉, 한 개의 바이트가 입력되면 두 개의 바이트로 출력된다.

<54> 한편, MPEG 헤더 삽입부(23)는 상기 널 시퀀스가 삽입된 부가 데이터에 3바이트의 MPEG 헤더를 삽입하여 MPEG 트랜스포트 패킷과 동일한 포맷으로 만든다. 이렇게 만들어진 부가 데이터는 멀티플렉서(24)에서 기존의 MPEG 트랜스포트 패킷 즉, MPEG 영상/음향 데이터와 시분할 다중화되어 8T-VSB 송신부(25)로 출력된다. 상기 8T VSB 송신부(25)는 상기된 도 1과 동일한 구성으로 이루어진다.

<55> 즉, 164 바이트의 부가 데이터 패킷이 리드 솔로몬 부호기(20)에서 리드 솔로몬 부호화되어 184바이트의 패킷으로 변환되고, 이것이 데이터 인터리버(21)에서 인터리빙되어 순서가 바뀐 후에 널 시퀀스 삽입부(22)에서 널 시퀀스가 삽입되면 2개의 184 바이트 패킷이 출력된다. 그리고, MPEG 헤더 삽입부(23)에서 각각의 패킷에 3바이트의 MPEG 트랜스포트 헤더가 추가되면, 2개의 187 바이트의 패킷이 멀티플렉서(24)로 출력되고, 이렇게 생성된 2개의 패킷은 각각 VSB 시스템의 세그먼트 단위로 MPEG 트랜스포트 패킷과 다중화된 후 8T VSB 송신부(25)를 통해 전송된다.

<56> 이때, 상기 부가 데이터에 삽입된 널 비트는 8T-VSB 송신부(25) 내에서 랜더마이징되고, 이어서 리드 솔로몬 부호화된다. 이어, 상기 리드 솔로몬 부호화된 부가 데이터의 널 비트는 인터리빙된 후 트렐리스 부호기(도시되지 않음)의 한 입력(d0)으로 인가된다. 또한, 상기 부호화된 부가 데이터 즉, 부가 데이터에 대한 정보를 포함하는 정보 비트는 상기 트렐리스 부호기의 다른 입력(d1)으로 인가된다. 여기서, 상기 입력 신호(d0)는 상기 트렐리스 부호기의 두 입력 비트들 중 하위 비트에 해당하고, 입력 신호(d1)는 상위 비트에 해당한다. 그리고, 널 비트가 전송한 바와 같은 처리 과정을 거쳐 트렐리스

부호기의 하위 비트로 입력되는 비트의 열을 설명의 편의상 미리 정의된 시퀀스라 칭한다.

<57> 즉, 상기 부가 데이터에 삽입한 널 비트는 전술된 바와 같이 미리 정의된 시퀀스로 바뀌어 트렐리스 부호기의 하위 비트(d_0)로 입력된다. 그러면, 수신기에서는 이러한 미리 정한 시퀀스를 동일하게 발생시켜 채널 등화기에서 사용하는 슬라이서 및 슬라이서 예측기의 성능을 향상시킬 수 있고, 또한 트렐리스 복호시에도 이 정보를 이용하여 성능을 개선할 수가 있다.

<58> 도 4는 도 3의 ATSC 8T-VSB 송신부(25)에서 사용하는 트렐리스 부호기의 구성을 나타낸 다이어그램으로서, 트렐리스 부호기(28)의 상위 비트(d_1)에 프리 코더(pre coder)(27)가 부가된 형태이다.

<59> 이때, 상기 트렐리스 부호기(28) 및 프리코더(27)는 두 개의 입력 비트들(d_0)(d_1)에 대해 부호화를 수행하여 세 개의 출력 비트들(c_0)(c_1)(c_2)을 출력한다. 미설명 부호 29는 8T-VSB 변조기로서, 상기 트렐리스 부호기(28) 및 프리코더(27)로부터 출력되는 세 개의 출력 비트들(c_0)(c_1)(c_2)을 해당하는 8 레벨의 변조값(z)을 출력한다. 또한, 도 5에서, 27a 및 28b는 가산기를, 27b, 28a, 및 28c는 레지스터들을 지시한다.

<60> 즉, 도 4에 나타낸 바와 같이, 입력 비트(d_1)는 상기 프리코더(27)에 의해서 프리 코딩되어 출력 비트(c_2)로 되고, 입력 비트(d_0)는 그대로 출력 비트(c_1)로 치환된다. 한편, 출력 비트(c_0)는 상기 트렐리스 부호기(28)의 레지스터(28c)에 저장된 값에 의해 결정된다. 그리고, 상기 트렐리스 부호기(28) 및 프리코더(27)의 출력 비트열(c_0, c_1, c_2)에 따라 8T-VSB 변조기(29)의 신호 레벨(z)이 결정된다.

- <61> 그러면, 부가 데이터를 수신할 수 없는 기존의 8T VSB 수신기에서는 이러한 트랜스포트 패킷의 헤더에 주어진 PID(Packet Identification)를 통하여 기존의 MPEG 트랜스포트 패킷만을 선택하여 디지털 방송을 수신하고, 부가 데이터 패킷은 버리게 된다. 한편, 부가 데이터까지 수신할 수 있는 수신기는 다중화 정보를 이용하여 MPEG 트랜스포트 데이터와 부가 데이터 패킷을 역다중화한 후 부가 데이터 패킷을 처리한다.
- <62> 한편, 보다 큰 부호화 이득을 얻기 위하여 상기 부가 데이터 심볼에 포함된 미리 정의된 시퀀스를 전송하는 대신에, 부가 데이터 심볼을 1/2 부호율로 부호화하여 얻어진 패리티 비트를 전송하는 방법이 본 출원인에 의해 출원된 바 있다(출원번호 : P01-21446, 출원일 : 2001.4.20).
- <63> 본 발명은 부가 데이터 심볼에 포함된 미리 정의된 시퀀스와 상기 부가 데이터 심볼을 1/2 부호율로 부호화하여 얻어진 패리티 비트를 다중화시켜 전송함으로써, 미리 정의된 시퀀스를 전송함에 의해 얻어진 고스트 제거 능력을 유지하면서 동시에 추가의 부호화를 통해 더 큰 부호화 이득을 얻는데 있다.
- <64> 이때, 부가 데이터의 전송율을 떨어뜨리지 않기 위해서 1/2 부호율의 부호 대신에 이를 바탕으로 한 천공 부호(punctured code)를 사용하고, 천공된 비트에 대해서는 부가 데이터 심볼에 포함되어 있던 미리 정의된 시퀀스를 전송한다.
- <65> 도 5는 이를 나타낸 구성 블록도로서, 부가 데이터의 정보 비트(d1)를 입력받아 그대로 출력함과 동시에 상기 정보 비트(d1)를 1/2 부호율로 부호화하여 패리티 비트를 생성하는 1/2 부호율 부호기(31), 및 천공 제어 신호에 따라 상기 패리티 비트 또는 미리 정의된 시퀀스(d0)를 다중화하여 출력하는 멀티플렉서(32)로 구성된다.

- <66> 이와 같이 구성된 도 5에서, 부가 데이터 심볼은 2비트(d1,d0)로 구성되며, 그 중 정보 비트 d1은 1/2 부호율 부호기(31)로 출력되고, 미리 정의된 시퀀스 d0는 멀티플렉서(32)로 출력된다.
- <67> 상기 1/2 부호율 부호기(31)는 정보 비트(d1)를 그대로 상위 비트 출력단(d1')으로 출력함과 동시에 상기 정보 비트(d1)를 1/2 부호율로 부호화하여 패리티 비트를 생성한 후 상기 멀티플렉서(32)로 출력한다.
- <68> 상기 멀티플렉서(32)는 천공 제어 신호에 따라 상기 패리티 비트 또는 미리 정의된 시퀀스를 선택하여 하위 비트 출력단(d0')으로 출력한다.
- <69> 여기서, 상기 천공 제어 신호는 부가 데이터 심볼에만 해당하는 제어 신호로서, 일정한 패턴이 반복된다.
- <70> 예를 들어, 상기 천공 제어 신호가 10이 계속 반복되는 경우라면 1/2 부호율 부호기(31)의 패리티 비트와 미리 정의된 시퀀스가 멀티플렉서(31)를 통해 교대로 출력되는 경우에 해당한다. 이렇게 되면 2개의 정보 비트가 입력되어 3개의 비트가 출력되는 구조이므로 천공 부호의 부호율은 $\frac{2}{3}$ 가 된다.
- <71> 한편, 100의 패턴이 반복되는 경우에는, 한번 즉, 천공 제어 신호가 1인 경우는 1/2 부호율 부호기(31)의 패리티 비트가 멀티플렉서(32)를 통해 출력되고, 두 번 즉, 천공 제어 신호가 0인 경우는 미리 정의된 시퀀스가 멀티플렉서(32)를 통해 출력되는 경우이므로 천공 부호의 부호율은 $\frac{3}{4}$ 이다.
- <72> 이때, 상기 천공 패턴의 길이 및 값은 임의로 조절할 수가 있으며, 천공 패턴이 모두 1인 경우에는 1/2 부호율 부호기(31)만을 사용하여 전송하는 경우와 같다. 즉, 천공

제어 신호가 모두 1인 경우에는 상기 멀티플렉서(32)는 1/2 부호율 부호기(31)의 패리티 비트만을 선택하여 출력한다. 이때는 미리 정의된 시퀀스는 전송되지 않는다.

<73> 한편, 천공 패턴이 모두 0인 경우에는 미리 정의된 시퀀스만을 전송하는 경우와 같다. 즉, 천공 제어 신호가 모두 0인 경우에는 상기 멀티플렉서(32)는 미리 정의된 시퀀스만을 선택하여 출력한다. 이때는 1/2 부호율 부호기(31)에서 부호화된 패리티 비트는 전송되지 않는다.

<74> 따라서, 도 5는 두 전송 시스템을 모두 포함하는 본 발명의 일반화된 시스템이라 할 수 있다.

<75> 한편, 상기 1/2 부호율 부호기(31)에서 1/2 부호율로 부호화되어 얻어지는 패리티 비트는 뒷단의 트렐리스 부호기에 의해 다시 부호화되므로, 상기 1/2 부호율의 부호기(31)는 기존의 트렐리스 부호기와 같은 피드백 형태의 길쌈 부호기를 사용하는 것이 바람직하다.

<76> 도 6은 레지스터의 개수가 M개인 피드백 형태의 체계적 1/2 길쌈 부호기를 일반화한 본 발명의 구성 블록도로서, 정보 비트 u 는 출력 비트 $d1'$ 으로 그대로 출력되고, 동시에 상기 정보 비트 u 를 부호화하여 얻은 패리티 비트 $d0'$ 은 레지스터 $r1$ 의 값이 출력된다.

<77> 즉, 도 6은 길쌈 부호화된 하위 비트 $d0'$ 즉, 최종단의 레지스터($r1$)의 값을 피드백받아 소정값을 곱하는 곱셈기($h1$), 상기 부가 데이터의 정보 비트 u 를 입력받아 소정값을 곱하는 곱셈기($g1$), 상기 두 곱셈기($h1, g1$)의 출력과 바로 전단의 레지스터의 출력을 더하는 가산기, 및 상기 가산기의 출력을 일시 저장하는 레지스터($r1$)를 포함하는

구조가 M개 직렬로 구비되어, 하나의 입력 비트(u)를 두 개의 출력 비트($d1'$, $d0'$)로 출력한다. 여기서, 상기 곱셈기에 곱해지는 소정값 즉, $g_i, h_i \in \{0,1\}$ 이며, $i=1 \sim M-1$ 이다.

<78> 도 7a 내지 도 7c는 1/2 길쌘 부호기의 메모리가 2개, 3개, 4개인 경우에 대한 본 발명의 실시예이다.

<79> 즉, 도 7a는 메모리가 2개인 1/2 체계적 피드백 길쌘 부호기의 구성 블록도로서, 길쌘 부호화된 하위 비트($d0'$)를 피드백받아 일시 저장하는 M2 레지스터(36), 상기 M2 레지스터(36)의 출력과 정보 비트(u)를 더하는 가산기(37), 및 상기 가산기(37)의 출력을 일시 저장한 후 길쌘 부호화된 하위 비트($d0'$)로 출력하는 M1 레지스터(38)로 구성된다.

<80> 도 7b는 메모리가 3개인 1/2 체계적 피드백 길쌘 부호기의 구성 블록도로서, 길쌘 부호화된 하위 비트($d0'$)를 피드백받아 일시 저장하는 M3 레지스터(39), 상기 M3 레지스터(39)의 출력과 정보 비트(u)를 더하는 제 1 가산기(40), 상기 제 1 가산기(40)의 출력을 일시 저장하는 M2 레지스터(41), 상기 M2 레지스터(41)의 출력과 피드백되는 길쌘 부호화된 하위 비트($d0'$)를 더하는 제 2 가산기(42), 및 상기 제 2 가산기(42)의 출력을 일시 저장한 후 길쌘 부호화된 하위 비트($d0'$)로 출력하는 M1 레지스터(43)로 구성된다.

<81> 도 7c는 메모리가 4개인 1/2 체계적 피드백 길쌘 부호기의 구성 블록도로서, 길쌘 부호화된 하위 비트($d0'$)를 피드백받아 일시 저장하는 M4 레지스터(44), 상기 M4 레지스터(44)의 출력과 피드백되는 길쌘 부호화된 하위 비트($d0'$)를 더하는 제 1 가산기(45), 상기 제 1 가산기(45)의 출력을 일시 저장하는 M3 레지스터(46), 상기 M3 레지스터(46)

의 출력과 정보 비트 u 를 더하는 제 2 가산기(47), 상기 제 2 가산기(47)의 출력을 일시 저장하는 M2 레지스터(48), 및 상기 M2 레지스터(48)의 출력을 일시 저장한 후 길쌈 부호화된 하위 비트(d_0')로 출력하는 M1 레지스터(49)로 구성된다.

<82> 한편, 부가 데이터 심볼의 경우 트렐리스 부호기에 있는 프리코더를 바이패스(bypass)하게 되면, 1/2 길쌈 부호의 부호화 이득이 더 커지게 된다.

<83> 도 8은 상기 1/2 길쌈 부호기(51)가 트렐리스 부호기(52)에 연결된 상태를 보인 구성 블록도로서, 부가 데이터가 프리코더를 바이패스하고 있다. 즉, 도 8은 부가 데이터 심볼에만 해당한다.

<84> 그런데 기존의 8T-ATSC 수신기에서 부가 데이터 패킷과 함께 다중화된 MPEG 트랜스포트 패킷을 정상적으로 수신하기 위해서는, 부가 데이터 이외의 심볼에 대해서는 프리코더를 사용해야만 한다.

<85> 따라서, 도 9는 이러한 문제를 해결하기 위한 제안된 변형된 프리코더로서, 본 출원인에 의해 출원된 바 있다(출원번호 : P00-56473, 출원일 : 2000.9.26).

<86> 도 9를 보면, 입력 신호 d_1' 를 프리 코딩하는 프리 코더(56), 상기 프리 코딩된 비트를 반전하는 인버터(58), 상기 프리 코딩되지 않은 입력 비트 d_1' (즉, 프리 코더를 바이패스하는 입력 비트) 또는, 프리 코딩된 비트 또는, 프리 코딩 후 반전된 비트 중 어느 하나를 선택 신호에 따라 선택 출력하는 스위칭부(59), 및 상기 프리 코딩되지 않은 입력 비트 d_1' 과 프리 코딩된 비트 그리고, 제어 신호 4를 입력받아 선택 신호를 생성한 후 상기 스위칭부(59)로 출력하는 비교기(57)로 구성된다.

<87> 이와 같이 구성된 도 9에서 상기 제어 신호 4는 부가 데이터 심볼 지시 신호로서,

상기 비교기(57)는 상기 부가 데이터 심볼 지시 신호가 입력되면 즉, 입력 비트 d1이 부가 데이터 심볼인 경우에는 상기 프리코더(56)를 바이패스하는 입력 비트 d1를 상기 스위칭부(59)가 선택 출력하도록 선택 신호를 생성하여 상기 스위칭부(59)로 출력한다. 즉, 부가 데이터 심볼인 경우의 신호 흐름은 ①→④이다.

<88> 이때, 상기 입력 비트 d1는 프리 코더(56)에도 계속 입력되어 프리 코딩된 후 상기 스위칭부(59)로 출력됨과 동시에 인버터(58)에 의해 반전되어 상기 스위칭부(59)로 출력된다.

<89> 그리고, 상기 비교기(57)는 상기 부가 데이터 심볼 지시 신호가 입력되지 않으면 즉, 입력 비트 d1이 부가 데이터 심볼 이외인 경우에는 프리코딩되지 않은 입력 비트 d1인 ①과 프리코딩된 비트인 ②를 비교하여 선택 신호를 생성한다. 즉, 부가 데이터 이외의 심볼인 경우의 신호 흐름은 추가 오류 정정 부호 기간의 마지막 신호에 따라 두 갈래로 나뉘어진다.

<90> 실시예로, 마지막 신호에서 ①과 ②의 값이 같은 경우에는 상기 비교기(57)의 제어에 따라 프리 코더(56)의 출력이 바로 스위칭부(59)를 통해 출력되며, 이때의 신호 흐름은 ②→④이다. 그리고, 마지막 신호에서 ①과 ②의 값이 다른 경우에는 상기 비교기(57)의 제어에 따라 인버터(58)의 출력이 스위칭부(59)를 통해 출력되며, 이때의 신호 흐름은 ③ →④이다.

<91> 이때, 도 9와 같은 변형된 프리코더를 사용하게 되면, 기존의 8T-VSB 수신기에서 부가 데이터 패킷과 함께 다중화된 MPEG 트랜스포트 패킷을 정상적으로 수신하는데 문제가 없다.

- <92> 그러나, 기존의 8T-VSB 수신기는 수신된 심볼이 송신기에서 모두 프리코더를 거쳤다고 간주하기 때문에, 부가 데이터 심볼에 대해서도 포스트 디코더를 사용하여 복원하게 된다. 이 경우 8T-VSB 수신기에서 리드-솔로몬 부호 복호시에 부가 데이터에 해당하는 세그먼트가 오류가 발생한 것으로 나타나게 된다.
- <93> 이러한 문제를 해결하기 위해서는 변형된 프리코더의 출력을 포스트 디코딩 한 후에 이것을 가지고, 다시 부가 데이터 세그먼트에 해당하는 리드-솔로몬 부호의 패리티 바이트를 계산하여야 한다.
- <94> 한편, 입력 심볼이 부가 데이터가 아닌 경우 예를 들면, MPEG 영상/음향 데이터인 경우에는 길쌈 부호기의 레지스터에 저장된 값이 입력 심볼 즉, 상위 비트 d1로 입력되는 값에 의해 변하면 안 된다. 즉, 상기 길쌈 부호기는 널 비트가 삽입된 부가 데이터 심볼에 대해서만 길쌈 부호화를 수행하여야 하며, 입력 심볼이 부가 데이터가 아닌 경우에는 길쌈 부호기의 각 레지스터는 자신의 출력 값을 피드백받아 현 상태를 계속 유지하여야 한다.
- <95> 따라서, 트렐리스 부호기 앞단에 추가되는 1/2 길쌈 부호기는 입력이 부가 데이터 심볼인지 유무에 따라 동작하는 선택적 길쌈 부호기여야 한다. 이때, 입력 심볼이 미리 정의된 시퀀스가 포함된 부가 데이터 심볼인 경우에는 상위 비트 d1로는 정보 비트가 입력되고, 하위 비트 d0로는 미리 정의된 시퀀스가 입력되며, 상기 트렐리스 부호기의 상위 비트 d1'로는 상기 정보 비트가 그대로 입력되고, 하위 비트 d0'로는 상기 정보 비트를 길쌈 부호화한 패리티 비트와 미리 정의된 시퀀스가 천공 제어 신호에 의해 다중화되어 입력된다.
- <96> 반면에, 부가 데이터 심볼 이외의 경우에는 입력 두 비트가 모두 그대로 상기 트렐

리스 부호기의 상,하위 비트 $d1'$, $d0'$ 로 입력된다.

<97> 도 10은 이를 고려한 본 발명의 프리코더 바이패스부와 1/2 길쌈 부호기가 트렐리스 부호기에 연접한 상태를 보인 구성 블록도로서, 실시예로 상기 1/2 길쌈 부호기는 레자스터가 도 7a와 같이 2개인 피드백 형태의 1/2 길쌈 부호기를 나타내고 있으며, 변형된 프리 코더(61a)와 포스트 디코더(61b)를 합하여 프리코더 바이패스부(61)라 칭한다. 그리고, 상기 프리코더 바이패스부(61)와 1/2 길쌈 부호기(62)를 합하여 부가 데이터 심볼 처리부라 칭한다. 여기서, 상기 변형된 프리코더(61a)는 도 9의 변형된 프리코더를 그대로 적용할 수도 있다.

<98> 도 10을 보면, 상기 포스트 디코더(61b)는 뒤단의 프리코더(63)의 역과정으로서, 변형된 프리코더(61a)의 출력이 기존의 트렐리스 부호기에 있는 프리코더(63)를 통과하여 같은 결과가 되도록 하기 위함이다.

<99> 즉, 부가 데이터 심볼인 경우, 부가 데이터의 정보 비트 $d1$ 은 변형된 프리코더(61b)에서 프리코더를 바이패스한 후 포스트 디코더(61b)에서 포스트 디코딩된다. 그리고, 이렇게 포스트 디코딩된 데이터가 다시 프리코더(63)에서 프리코딩되면, 결국은 입력 비트 $d1$ 이 프리코더를 바이패스한 결과가 된다. 이렇게 되면, 연접되는 트렐리스 부호기의 프리코더(53) 출력단에서는 입력 비트 $d1$ 이 그대로 출력되는 결과 즉, 입력 비트 $d1$ 과 프리코더 바이패스부(61)의 출력 비트 $d1'$ 그리고, 프리코더(63)의 출력이 같은 값($d1=d1'=c2$)이 되는 것이다. 또한, 상기 정보 비트 $d1$ 은 1/2 길쌈 부호화되며, 상기 1/2 길쌈 부호화된 데이터는 입력 비트 $d0$ 로 입력되는 미리 정의된 시퀀스와 다중화되어 트렐리스 부호기(64)로 입력된다.

<100> 한편, 부가 데이터 심볼 이외의 경우, 입력 비트 $d1$ 은 변형된 프리코더(61a)에서

프리카딩되고 이어 포스트 디코더(61b)에서 포스트 디코딩된 후 다시 프리코더(63)에서 프리코딩되므로 결국, 입력 비트 d1은 프리코딩된 결과를 얻는다. 또한, 입력 비트 d0는 그대로 트렐리스 부호기(64)로 입력된다. 즉, 1/2 길쌈 부호기(62)를 바이패스한다.

<101> 상기 1/2 길쌈 부호기(62)는 도 7a의 1/2 길쌈 부호기 구조에 선택기의 하나인 멀티플렉서(62a,62d,62f,63g)가 더 추가된 형태이다.

<102> 즉, 상기 길쌈 부호기(62)는 제어 신호 4에 따라 바로 뒷단의 레지스터(62b)에서 피드백되는 값 또는 최종단의 레지스터(62e)에서 피드백되는 값을 선택 출력하는 멀티플렉서(62a), 상기 멀티플렉서(62a)의 출력을 일시 저장하는 레지스터(62b), 상위 비트 d1로 입력되는 값과 상기 레지스터(62b)의 출력을 더하는 가산기(62c), 상기 제어 신호 4에 따라 상기 가산기(62c)의 출력 또는 바로 뒷단의 레지스터(62e)에서 피드백되는 값을 선택 출력하는 멀티플렉서(62d), 상기 멀티플렉서(62d)의 출력을 일시 저장하는 레지스터(62e), 제어 신호 5에 따라 상기 레지스터(62e)의 출력 또는 하위 비트 d0로 입력되는 값을 선택 출력하는 멀티플렉서(62f), 및 상기 제어 신호 4에 따라 상기 멀티플렉서(62f)의 출력 또는 하위 비트 d0로 입력되는 값을 선택 출력하는 멀티플렉서(62g)로 구성된다.

<103> 이때, 상기 멀티플렉서(62a,62d,62g)에 입력되는 제어 신호 4는 부가 데이터 심볼 지시 신호로서, 입력 심볼이 부가 데이터 심볼인지 아닌지를 알려준다. 일 예로, 입력 심볼이 부가 데이터일 경우 상기 멀티플렉서(62a,62d,62g)로 입력되는 제어 신호 4는 '1'이고, 부가 데이터가 아닐 경우 '0'이라고 가정한다.

<104> 따라서, 상기 멀티플렉서(62a)는 입력 심볼이 부가 데이터인 경우 즉, 제어 신호 4가 '1'인 경우에는 상기 최종 레지스터(62e)에서 피드백되는 길쌈 부호화된 값을 선택하

여 레지스터(62b)로 출력하고, 부가 데이터가 아닌 경우 즉, 제어 신호 4가 '0'인 경우에는 입력 비트 d1에 영향받지 않고 현재 상태를 유지하기 위해 레지스터(62b)에서 피드백되는 값을 선택하여 레지스터(62b)로 출력한다. 그리고, 상기 멀티플렉서(62d)는 제어 신호 4가 '1'인 경우에는 상기 가산기(62c)에서 출력되는 값을 선택하여 레지스터(62e)로 출력하고, 제어 신호 4가 '0'인 경우에는 레지스터(62e)에서 피드백되는 값을 선택하여 레지스터(62e)로 출력한다. 상기 멀티플렉서(62g)는 제어 신호 4가 '1'인 경우에는 상기 멀티플렉서(62f)의 출력 값을 선택하여 트렐리스 부호기(64)로 출력하고, 제어 신호 4가 '0'인 경우에는 하위 비트 d0로 입력되는 값을 선택하여 상기 트렐리스 부호기(64)로 출력한다.

<105> 상기 멀티플렉서(62f)는 제어 신호 5에 따라 길쌈 부호화된 패리티 비트 또는 미리 정의된 시퀀스를 선택 출력하는 선택기이며, 상기 멀티플렉서(62f)로 입력되는 제어 신호 5는 도 5의 천공 제어 신호와 동일하다. 즉, 제어 신호 5는 부가 데이터 심볼인 경우에만 해당되는 신호로서 부가 데이터 심볼에 대해서 1/2길쌈 부호화하여 얻어진 패리티 비트와 미리 정의된 시퀀스를 다중화하기 위한 제어신호이다. 따라서, 상기 멀티플렉서(62f)는 상기 제어 신호 5가 '1'이면 길쌈 부호화된 패리티 비트 즉, 레지스터(62e)에 저장된 값을 선택하고, '0'이면 하위 비트 d0로 입력되는 미리 정의된 시퀀스를 선택하여 멀티플렉서(62g)로 출력한다.

<106> 그리고, 이러한 부가 데이터 심볼 처리부는 ATSC 8T-VSB 시스템의 트렐리스 부호기와 연결되어 사용되기 때문에 12개의 트렐리스 부호기에 하나씩 총 12개가 사용된다.

<107> 한편, 앞에서 언급했듯이 기존의 ATSC 8T-VSB 수신기의 리드-솔로몬 복호기에서 부가 데이터 세그먼트에 오류가 발생한 것으로 나타나지 않도록 하기 위해서는, 도면 10의

부가 데이터 심볼 처리부의 출력에 해당하는 패리티 바이트를 수신측으로 전송해 주어야 한다.

<108> 이때, 기존 수신기와의 호환성은 보장하면서 동시에 부가데이터 심볼의 프리코더 바이패스가 성립되어야 한다.

<109> 이를 위해, 본 발명에서는 부가 데이터의 세그먼트 내의 20개의 리드-솔로몬 패리티 바이트가 데이터 인터리버의 출력에서 187개의 정보 바이트보다 나중에 출력되도록 하고, 상기 리드 솔로몬 패리티 바이트가 부가 데이터 심볼 처리부의 프리코더 바이패스부에 입력되기 전에 상기 리드 솔로몬 패리티 바이트를 다시 계산한 리드-솔로몬 패리티 바이트로 치환한다. 즉, 부가 데이터 심볼 처리부의 프리코더 바이패스부에서 프리코더를 바이패스한 부가 데이터에 대해 비체계적 리드 솔로몬 부호화를 수행하여 패리티 바이트를 계산한 후 상기 인터리버에서 187개의 정보 바이트보다 나중에 출력되는 패리티 바이트를 상기 비체계적 리드 솔로몬 부호화로 구한 패리티 바이트로 치환하여 상기 부가 데이터 심볼 처리부의 프리코더 바이패스부로 출력한다.

<110> 이것은 리드-솔로몬 부호기에서 패리티 바이트의 위치가 끝에 몰려 있는 것이 아니라 중간 중간에 섞여 있는 형태의 리드-솔로몬 부호기를 사용함을 의미한다.

<111> 즉, 도 1의 ATSC 8T-VSB 전송 시스템에서 사용된 리드 솔로몬 부호기(2)는 체계적(systematic) 리드-솔로몬 부호기이다. 이것은 187개의 정보 바이트가 그대로 출력되고 그 뒤에 20개의 패리티 바이트가 출력되는 것을 말한다. 그런데 일반적으로 리드-솔로몬 부호는 선형 블록(linear block) 부호이며, 선형 블록 부호의 특성상 생성 매트릭스(generator matrix)를 선형 변형(linear transformation)한 생성 매트릭스를 사용하여 부호화를 하더라도 생성되는 부호어(codeword)의 집합은 동일하다. 따라서 체계적 리드-

솔로몬 부호의 생성 매트릭스를 선형 변형하여 비체계적 리드-솔로몬 부호화한 부호어를 체계적 리드-솔로몬 복호기를 사용하여 복호할 수가 있다.

<112> 도 11은 이러한 원리를 이용하여 기존의 ATSC 8T-VSB 시스템과 호환성을 유지하면서, 부가 데이터 심볼의 프리코더 바이패스가 성립되도록 하는 본 발명에 따른 디지털 ATSC 8T-VSB 전송 시스템의 구성 블록도이다.

<113> 도 11을 보면, 부가 데이터에 대해 리드 솔로몬 부호화, 널 시퀀스 삽입, MPEG 헤더 삽입등을 수행하는 부가 데이터 처리부(71), 제어 신호 1에 따라 상기 부가 데이터 처리부(71)에서 출력되는 부가 데이터 패킷 또는, MPEG 데이터 패킷을 선택 출력하는 멀티플렉서(72), 상기 멀티플렉서(72)에서 출력되는 부가 데이터의 세그먼트 내의 20개의 리드-솔로몬 패리티 바이트가 데이터 인터리버의 출력에서 187개의 정보 바이트보다 나중에 출력되도록 한 후, 상기 리드 솔로몬 패리티 바이트가 프리코더 바이패스부에 입력되기 전에 다시 계산한 비체계적 리드-솔로몬 패리티 바이트로 치환하는 제 1 부호화부(73), 상기 제 1 부호화부에서 입력되는 심볼이 부가 데이터인 경우 프리 코더를 바이패스하고, 동시에 상기 부가 데이터를 1/2 길쌈 부호화한 후 제어 신호 5에 따라 상기 1/2 길쌈 부호화된 데이터 또는 미리 정의된 시퀀스를 다중화하여 출력하는 부가 데이터 심볼 처리부(74), 및 상기 부가 데이터 심볼 처리부(74)를 통해 출력되는 데이터에 대해 트렐리스 부호화한 후 VSB 변조하여 전송하는 8T-VSB 송신부(75)로 구성된다.

<114> 여기서, 상기 제 1 부호화부(73)는 상기 멀티플렉서(72)를 통해 출력되는 데이터에 대해 랜덤마이즈를 수행하는 데이터 랜더마이저(73a), 제어 신호 1에 따라

상기 데이터 랜더마이징된 데이터가 부가 데이터가 아니면 체계적 리드 솔로몬 부호화를 수행하고, 부가 데이터이면 패리티 위치 홀더를 구한 후 널 바이트를 삽입하는 리드-솔로몬 부호기/패리티 위치 홀더 삽입부(73b), 상기 리드-솔로몬 부호기/패리티 위치 홀더 삽입부(73b)의 출력에 대해 데이터 인터리빙을 수행하여 각 세그먼트에 대해 187개의 정보 바이트를 먼저 출력하고 나서, 나중에 20개의 패리티 바이트를 출력하는 데이터 인터리버(73c), 제어 신호 2, 3에 따라 상기 데이터 인터리버(73c)에서 출력되는 패리티 바이트를 비체계적 리드 솔로몬 부호화로 구한 패리티 바이트로 치환하는 패리티 치환부(73d), 상기 패리티 치환부(73d)의 출력을 심볼 단위로 변환하는 바이트-심볼 변환부(73e), 상기 부가 데이터 심볼 처리부(74)의 출력 심볼을 바이트 단위로 변환하는 심볼-바이트 변환부(73f), 및 상기 제어 신호 2, 3에 따라 상기 심볼-바이트 변환부(73f)의 출력에 대해 비체계적 리드 솔로몬 부호화를 수행하여 패리티를 다시 계산한 후 상기 패리티 치환부(73c)로 출력하는 비체계적 리드 솔로몬 부호기(73g)로 구성된다.

<115> 이때, 멀티플렉서(72)와 제 1 부호화부(73)의 리드-솔로몬 부호기/패리티 위치 홀더 삽입부(73b)로 입력되는 제어 신호 1은 부가 데이터 세그먼트 지시 신호이다. 즉, 상기 제어신호 1은 다중화 규칙에 따라서 필드 동기 신호에 맞추어 발생시킨다(미도시). 그리고, 상기 제 1 부호화부(73)의 패리티 치환부(73d)와 비체계적 리드 솔로몬 부호기(73g)로 입력되는 제어 신호 2는 부가 데이터 바이트 지시 신호, 제어 신호 3은 부가 데이터 패리티 지시 신호이다. 그리고, 부가 데이터 심볼 처리부(74)로 입력되는 제어 신호 4는 부가 데이터 심볼 지시 신호이고, 제어 신호 5는 천공 제어 신호이다.

<116> 이러한 제어 신호 1 내지 제어 신호 5는 제어 신호 발생부(70)에서 생성되어 필요한 부분에 제공된다.

- <117> 이와 같이 구성된 도 11에서, 부가 데이터는 부가 데이터 처리부(71)의 리드 솔로몬 부호기(71a), 데이터 인터리버(71b)(생략 가능), 널 시퀀스 삽입부(71c), 및 MPEG 헤더 삽입부(71d)를 순차적으로 거치면서 20바이트의 체계적 리드 솔로몬 패리티 바이트, 널 시퀀스, MPEG 헤더가 삽입된 부가 데이터 패킷으로 변환된다.
- <118> 그리고, 상기 멀티플렉서(72)는 부가 데이터 세그먼트 지시 신호인 제어 신호 1에 따라 상기 부가 데이터 패킷 또는 MPEG 영상/음향 데이터 패킷을 선택하여 제 1 부호화부(73)의 데이터 랜덤마이저(73a)로 출력한다.
- <119> 상기 제 1 부호화부(73)의 데이터 랜덤마이저(73a)는 상기 멀티플렉서(72)에서 MPEG 트랜스포트 세그먼트와 다중화된 부가 데이터 세그먼트를 입력받아 랜덤마이즈를 수행한 후 리드-솔로몬 부호기/패리티 위치 홀더(holder) 삽입부(73b)로 출력한다.
- <120> 상기 리드-솔로몬 부호기/패리티 위치 홀더 삽입부(73b)는 제어 신호 1에 따라 랜덤마이즈된 데이터에 대해 체계적 리드 솔로몬 부호화 또는, 패리티 위치 홀더 삽입을 수행한다.
- <121> 즉, 상기 리드-솔로몬 부호기/패리티 위치 홀더 삽입부(73b)는 상기 데이터 랜덤마이저(73a)에서 출력되는 세그먼트가 MPEG 트랜스포트 세그먼트인 경우에는 기존 ATSC 8T-VSB 시스템의 체계적 리드-솔로몬 부호화를 정상적으로 수행한다. 한편, 부가데이터 세그먼트인 경우에는 20개의 패리티 바이트가 뒷단의 데이터 인터리버(73c) 출력단에서 187개의 정보 바이트보다 나중에 출력되도록 패리티 바이트의 위치를 정한 후 정해진 패리티 바이트 위치에는 널 바이트를 쓰고, 나머지 187개의 바이트 위치에는 입력받은 187개의 정보 바이트를 앞에서부터 차례로 쓴다. 이때, 널 바이트는 임의의 값으로 할 수 있고, 이러한 널 바이트는 나중에 비체계적 리드-솔로몬 부호기에서 계산한 패리티 값으

로 치환된다. 따라서, 상기 널 바이트의 역할은 비체계적 리드-솔로몬 부호의 패리티 바이트의 위치를 홀딩하는 것이다.

<122> 이때, ATSC 8T-VSB 데이터 필드는 1개의 필드 동기 세그먼트와 312개의 데이터 세그먼트로 구성된다. 따라서, 상기 설명한 패리티 위치 홀더 즉, 널 바이트가 삽입되는 패리티 바이트 위치는 각 세그먼트마다 다르며, 그 위치는 다음의 수학적 식 1에 의해 결정된다.

<123> 【수학적 식 1】

$$b = ((52 \times p) + (s \bmod 52)) \bmod 207, \quad p = 187, 188, \dots, 206$$

<124> 상기 수학적 식 1에서 s는 필드 동기 신호 이후의 세그먼트 번호를 나타내며 0부터 311까지의 값을 가진다. 그리고 b는 세그먼트 내의 바이트의 위치를 나타내는 것으로서, 0부터 206까지의 값을 가진다. 그리고, 52는 인터리버(73c)에 의해 미리 결정되는 상수이다. 또한, mod는 나머지 연산을 의미한다. 따라서 세그먼트의 위치가 정해지면, 패리티 위치 홀더가 상기 수학적 식 1로 결정된다.

<125> 그런데, 패리티 위치 홀더 중에서 적어도 한 바이트 이상이 세그먼트의 처음 3바이트에 위치하는 경우에는 문제가 된다. 이는 각 세그먼트의 처음 3바이트는 PID를 포함한 MPEG 트랜스포트 헤더가 자리하는 위치이기 때문이다.

<126> 이러한 세그먼트 s = 1, 2, 3, 4, 5, 6, 7, 53, 54, 55, 56, 57, 58, 59, 105, 106, 107,

<127> 108, 109, 110, 111, 157, 158, 159, 160, 161, 162, 163, 209, 210, 211, 212, 213, 214, 215, 261, 262, 263, 264, 265, 266, 267인 세그먼트이다.

<128> 이러한 세그먼트 위치에는 부가 데이터를 전송하지 않는 것이 바람직하다. 그러나,

이러한 세그먼트 위치에 부가 데이터를 전송하는 경우에는, 입력받은 187 바이트 중에서 처음 3 바이트는 MPEG 트랜스포트 헤더이므로 패리티 위치 홀더에 상관없이 세그먼트의 처음 3 바이트에 그대로 쓰며, 나머지 184 바이트를 패리티 위치 홀더가 아닌 곳에 차례로 쓴다. 즉, 세그먼트의 처음 3 바이트에 패리티 자리 예컨대, 패리티 위치 홀더가 발생하여도 널 바이트를 삽입하지 않는다. 다시 말해, 패리티 위치 홀더가 상기된 세그먼트의 처음 3바이트 중 하나 이상에 있더라도 이를 무시하고 전송되는 데이터를 처음 3바이트에 그대로 쓴다. 이런 경우, 상기 처음 3바이트는 패리티 치환에서 제외된다. 이렇게 하면, 상기 멀티플렉서(72)를 통해 출력되는 3바이트의 MPEG 헤더는 무조건 세그먼트의 처음 3바이트에 위치하게 된다.

<129> 예를 들어, 상기 언급된 세그먼트 중 어느 하나의 세그먼트의 처음 3바이트가 모두 패리티 위치 홀더였다면, 상기 처음 3바이트와 나머지 패리티 위치 홀더를 제외한 위치에 184개의 정보 바이트가 쓰여지므로, 이때는 3바이트가 남게 된다. 이런 경우 규칙을 미리 정하여 널 바이트등을 삽입하도록 한다.

<130> 이때, 상기 설명한 패리티 위치 홀더는 세그먼트에 따라서 그 위치가 다르므로, 비체계적 리드-솔로몬 부호기(73g)도 이에 상응하는 생성 매트릭스를 갖는 부호기를 사용해야 한다.

<131> 한편, 상기 리드-솔로몬 부호기/패리티 위치 홀더 삽입부(73b)의 출력은 데이터 인터리버(73c)에 의해서 순서가 바뀐 후에 패리티 치환부(73d)로 입력된다. 즉, 데이터 인터리버(73c)에서는 187개의 정보 바이트가 먼저 패리티 치환부(73c)로 출력되고 나서, 널 바이트가 삽입된 20개의 패리티 바이트가 상기 패리티 치환부(73c)로 출력된다. 상기 패리티 치환부(73d)에서는 상기 부가 데이터 세그먼트에 삽입된 패리티 위치 홀더를 비

체계적 리드-솔로몬 부호기(73g)에서 계산한 패리티 바이트로 치환하여 바이트-심볼 변환부(73e)로 출력하고, 그 이외의 바이트는 입력을 그대로 상기 바이트-심볼 변환부(73e)로 출력한다. 이를 위해, 상기 패리티 치환부(73d)에는 부가 데이터 바이트 지시 신호인 제어 신호 2와 부가 데이터 패리티 지시 신호인 제어 신호 3이 제어 신호 발생부(70)를 통해 입력된다. 이때, 상기 패리티 치환부(73d)로 입력되는 세그먼트가 MPEG 트랜스포트 세그먼트인 경우에는 상기 패리티 치환부(73d)를 바이패스하여 바이트-심볼 변환부(73e)로 출력된다.

<132> 한편, 상기 바이트-심볼 변환부(73e)에서 심볼 형태로 변환된 데이터는 부가 데이터 심볼 처리부(74)로 입력된다.

<133> 상기 부가 데이터 심볼 처리부(74)의 동작은 상기된 도 10과 동일하다. 즉, 입력 심볼이 부가 데이터인 경우, 부가 데이터의 정보 비트는 프리코더를 바이패스하여 심볼-바이트 변환부(73e)와 기존의 8T-VSB 송신부(75)의 트렐리스 부호기(75a)의 상위 비트로 출력됨과 동시에 1/2 길쌈 부호화기에서 1/2 길쌈 부호화된다. 이때, 천공 제어 신호에 따라 상기 1/2 길쌈 부호화된 데이터와 미리 정의된 시퀀스가 다중화되어 심볼-바이트 변환부(73e)와 트렐리스 부호기(75a)의 하위 비트로 출력된다.

<134> 이때, 상기 트렐리스 부호기(75a)의 구조는 상기된 도 10과 같이 프리코더(63)와 트렐리스 부호기(64)를 포함한다. 상기 트렐리스 부호기(75a)는 상위 비트로 입력되는 데이터를 프리코딩하고, 하위 비트로 입력되는 데이터를 그대로 출력함과 동시에 트렐리스 부호화하여 VSB 신호로 변조한다.

<135> 상기 제 1 부호화부(73)의 심볼-바이트 변환부(73f)는 입력되는 부가 데이터 심볼을 바이트 단위로 변환하여 비체계적 리드 솔로몬 부호기(73g)로 출력한다. 상기 비체계

적 리드-솔로몬 부호기(73g)는 부가 데이터 세그먼트의 187개 정보 바이트를 모아서 20개의 패리티 바이트를 계산한 후 패리티 치환부(73d)로 출력한다. 이때, 상기 비체계적 리드 솔로몬 부호기(73g)에서 부가 데이터에 대해서만 비체계적 리드 솔로몬 부호화를 수행할 수 있도록 상기 비체계적 리드 솔로몬 부호기(73g)에 부가 데이터 바이트 지시 신호인 제어 신호 2와 부가 데이터 패리티 지시 신호인 제어 신호 3이 제어 신호 발생부(70)를 통해 입력된다.

<136> 도 12는 상기 제어 신호 2 내지 4의 생성 예를 보인 제어 신호 발생부의 구성 블록도로서, 멀티플렉서(81)로 입력되는 제어 신호 1은 상기 멀티플렉서(81)에서 다중화되는 세그먼트가 부가 데이터인지 MPEG 트랜스포트인지를 지시한다. 즉, 상기 멀티플렉서(81)에서는 제어 신호 1에 따라서 부가데이터 세그먼트에 해당하는 플래그(3개의 '00'과 184개의 '10')와 MPEG 트랜스포트 세그먼트에 해당하는 플래그(187개의 '00')를 다중화하여 패리티 플래그 삽입부(82)로 출력한다. 상기 패리티 플래그 삽입부(82)는 도 11에서 설명한 리드-솔로몬 부호기/패리티 위치 홀더 삽입부(73b)와 상응하게 동작하여 부가 데이터 세그먼트인 경우에는 리드-솔로몬 패리티가 삽입되는 위치에 '01'인 플래그를, MPEG 트랜스포트 세그먼트인 경우에는 '00'을 삽입한다. 상기 패리티 플래그 삽입부(82)의 출력은 데이터 인터리버(83)로 출력되어 플래그의 순서를 바꾼다. 즉, 상기 데이터 인터리버(83)는 도 11의 데이터 인터리버와 상응하게 동작하여 제어 신호 2와 제어 신호 3을 발생시킨다.

<137> 여기서, 상기 제어 신호 2는 상기 데이터 인터리버(83)의 출력 2비트 플래그 중에서 상위 비트이고, 제어 신호 3은 하위 비트이다. 즉, 상기 제어 신호 2는 데이터 인터리버(83)의 출력 바이트가 부가 데이터인지 그 이외의 바이트인지를 지시하는 신호이고,

제어 신호 3은 부가 데이터 세그먼트에 삽입된 패리티가 리드-솔로몬 패리티인지 비체계적 리드-솔로몬 패리티인지를 지시하는 신호이다. 바이트 심볼-변환부(84)는 제어 신호 2를 입력받아 도 11의 바이트-심볼 변환부(73e)와 상응하게 동작하여 제어 신호 4를 발생시킨다. 상기 제어 신호 4는 현재 바이트가 부가 데이터에 해당하는 심볼인지를 지시하는 신호이다.

<138> 도 13은 제어 신호 5를 생성하는 천공 패턴 반복기를 나타낸 구성 블록도로서, 제어 신호 5는 부가 데이터 심볼 처리부(74)에서 천공 제어신호로 사용한다. 즉, 천공 패턴 반복기(85)는 상기 부가 데이터 심볼 지시 신호인 제어 신호 4를 입력받아 부가 데이터 심볼인 구간에서만 기 설정된 천공 패턴을 반복해서 발생시킨다.

<139> 상기 천공패턴 반복기(85)는 각 부가 데이터 심볼 처리부에 하나씩 총 12개를 사용한다. 이때, 상기 천공 패턴에 대한 정보를 필드 동기 신호의 미사용(reserved) 영역을 사용하여 전송하는 다중화 정보에 추가한다.

<140> 한편, 도 11에서 설명한 디지털 ATSC 8T-VSB 전송 시스템은 부가 데이터를 페이로드(payload)로 사용하지 아니하고, 널 시퀀스를 전송하여 주면, 트렐리스 부호기의 프리코더가 바이패스되기 때문에 천공패턴을 모두 0으로 할 경우 한 심볼당 2비트의 미리 정의된 시퀀스를 전송할 수 있다. 이렇게 하면 채널의 고스트에 대한 수신기 성능을 더욱 향상시킬 수가 있다. 또한 부가 데이터를 널 시퀀스와 페이로드(payload)로 다중화하여 전송하게 되면 두가지 모드를 함께 사용하는 것이 된다. 이러한 내용은 도 1에 도시하지 않았다.

<141> 한편, ATSC 8T-VSB 수신기는 상기된 전송 과정의 역동작을 수행하면 부가 데이터와 MPEG 데이터를 모두 수신하여 처리할 수 있다.

【발명의 효과】

- <142> 전술한 바와 같이 본 발명의 디지털 VSB 전송 시스템은, 부가 데이터 심볼인 경우 프리코더를 바이패스시켜 전송함과 동시에 상기 부가 데이터 심볼을 1/2 길쌈 부호화한 후 미리 정의된 시퀀스와 다중화하여 전송함으로써, 다음과 같은 효과들을 얻을 수 있다.
- <143> 첫째, 기존 ATSC 8T-VSB 수신기와 호환성을 유지하면서 동일 디지털 방송 채널을 통하여 MPEG 데이터와 부가 데이터를 다중화하여 전송할 수 있다.
- <144> 둘째, 기존의 ATSC 8T-VSB 시스템보다 고스트와 잡음이 심한 채널에서도 MPEG 영상/음향 데이터 및 부가 데이터를 더욱 신뢰성있게 전송할 수 있다.
- <145> 셋째, 미리 정의된 시퀀스만을 사용한 디지털 VSB 전송 시스템에 비해서 부가 데이터에 대해 더 큰 부호화 이득을 얻을 수 있다.
- <146> 넷째, 1/2 길쌈 부호화만을 사용한 디지털 VSB 전송 시스템에 비해서 채널의 고스트에 대한 수신 성능을 개선할 수 있다.
- <147> 다섯째, 부가 데이터 심볼에 대해서 프리코더를 바이패스하므로, 채널의 잡음 및 고스트에 대한 성능을 더욱 개선할 수 있다.
- <148> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다.
- <149> 따라서, 본 발명의 기술적 범위는 실시예에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의하여 정해져야 한다.

【특허청구범위】**【청구항 1】**

부가 데이터에 대해 리드-솔로몬 부호화, 미리 정의된 시퀀스 삽입을 수행한 후 MPEG 헤더를 삽입하여 MPEG 트랜스포트 패킷의 포맷으로 변환하는 부가 데이터 처리부;

상기 MPEG 트랜스포트 패킷의 포맷으로 변환된 부가 데이터와 MPEG 방송 데이터를 다중화하여 출력하는 다중화부;

상기 다중화부에서 출력되는 데이터가 부가 데이터 세그먼트인 경우 세그먼트 내의 패리티 바이트가 정보 바이트보다 늦게 출력되도록 패리티 바이트 위치를 결정한 후 상기 결정된 패리티 바이트를 프리코더 바이패스된 부가 데이터로부터 계산한 비체계적 리드 솔로몬 패리티 바이트로 치환하는 제 1 부호화부;

상기 제 1 부호화부에서 출력되는 데이터가 부가 데이터 심볼인 경우 부가 데이터의 정보 비트에 대해 프리코더를 바이패스시켜 출력함과 동시에 상기 정보 비트를 1/2 부호율로 부호화한 후 상기 1/2 부호율로 부호화된 데이터와 미리 정의된 시퀀스를 다중화하여 출력하는 부가 데이터 심볼 처리부; 그리고

상기 부가 데이터 심볼 처리부에서 출력되는 데이터에 대해 트렐리스 부호화한 후 VSB 전송 방식으로 변조하여 전송하는 VSB 송신부를 포함하여 구성되는 것을 특징으로 하는 디지털 VSB 전송 시스템.

【청구항 2】

제 1 항에 있어서, 상기 제 1 부호화부는

상기 다중화부에서 출력되는 데이터에 대해 랜덤마이즈를 수행하는 데이터 랜더마이저와,

상기 데이터 랜덤마이즈된 데이터가 부가 데이터 세그먼트이면 패리티 위치 홀더를 구한 후 상기 패리티 위치 홀더에 널 바이트를 삽입하는 리드-솔로몬 부호기/패리티 위치 홀더 삽입부와,

상기 리드-솔로몬 부호기/패리티 위치 홀더 삽입부의 출력에 대해 데이터 인터리빙을 수행하여 각 세그먼트에 대해 다수개의 정보 바이트를 먼저 출력한 다음 다수개의 패리티 바이트를 나중에 출력하는 데이터 인터리버와,

상기 데이터 인터리버에서 출력되는 패리티 바이트를 비체계적 리드 솔로몬 부호화로 구한 패리티 바이트로 치환하는 패리티 치환부와,

상기 패리티 치환부의 출력을 심볼 단위로 변환하여 상기 부가 데이터 심볼 처리부로 출력하는 바이트-심볼 변환부와,

상기 부가 데이터 심볼 처리부에서 출력되는 심볼을 바이트 단위로 변환하는 심볼-바이트 변환부와,

상기 심볼-바이트 변환부의 출력에 대해 비체계적 리드 솔로몬 부호화를 수행하여 패리티 바이트를 다시 계산한 후 상기 패리티 치환부로 출력하는 비체계적 리드 솔로몬 부호기로 구성되는 것을 특징으로 하는 디지털 VSB 전송 시스템.

【청구항 3】

제 2 항에 있어서, 상기 리드-솔로몬 부호기/패리티 위치 홀더 삽입부는

입력되는 데이터가 부가 데이터 세그먼트가 아닌 경우, 입력 데이터에 대해 체계적 리드 솔로몬 부호화를 수행하는 것을 특징으로 하는 디지털 VSB 전송 시스템.

【청구항 4】

제 2 항에 있어서, 상기 리드-솔로몬 부호기/패리티 위치 홀더 삽입부는

입력되는 데이터가 부가 데이터 세그먼트인 경우에 20개의 패리티 바이트가 상기 데이터 인터리버의 출력단에서 187개의 정보 바이트보다 나중에 출력되도록 패리티 바이트의 위치를 정한 후 정해진 패리티 바이트 위치에는 널 바이트를 쓰고, 나머지 187개의 정보 바이트 위치에는 입력받은 187개의 정보 바이트를 순차적으로 쓰는 것을 특징으로 하는 디지털 VSB 전송 시스템.

【청구항 5】

제 4 항에 있어서,

상기 널 바이트가 삽입되는 패리티 바이트 위치는 각 세그먼트마다 다르며, 그 패리티 바이트 위치는 다음의 수학식에 의해 결정되는 것을 특징으로 하는 디지털 VSB 전송 시스템.

$$b = ((52 \times p) + (s \bmod 52)) \bmod 207, \quad p = 187, 188, \dots, 206$$

여기서, s는 필드 동기 신호 이후의 세그먼트 번호(0~311)를 나타내고, b는 세그먼트 내의 패리티 바이트의 위치(0~206)를 나타내며, mod는 나머지 연산을 의미함.

【청구항 6】

제 5 항에 있어서,

상기 부가 데이터가 전송되는 세그먼트 위치(s)가

s = 1,2,3,4,5,6,7,53,54,55,56,57,58,59,105,106,107,108,109,110,111,

157,158,159,160,161,162,163,209,210,211,212,213,214,215,261,262,263,264,265,2

66,267인 세그먼트 중 어느 하나인 경우

입력받은 187 정보 바이트 중에서 처음 3 바이트는 패리티 위치 홀더에 상관없이
상기 세그먼트의 처음 3 바이트에 그대로 쓰며, 나머지 184 바이트를 패리티 위치 홀더
가 아닌 곳에 차례로 쓰는 것을 특징으로 하는 디지털 VSB 전송 시스템.

【청구항 7】

제 2 항에 있어서, 상기 비체계적 리드 솔로몬 부호기는

상기 패리티 위치 홀더가 각 세그먼트에 따라서 달라지므로 이에 상응하는 생성 매
트릭스를 갖는 부호기를 사용하는 것을 특징으로 하는 디지털 VSB 전송 시스템.

【청구항 8】

제 1 항에 있어서, 상기 부가 데이터 심볼 처리부는

상기 제 1 부호화부에서 출력되는 부가 데이터의 정보 비트에 대해 프리코더를 바
이패스하는 프리코더 바이패스부와,

상기 부가 데이터의 정보 비트에 대해 1/2 부호율로 부호화하여 패리티 비트를 발
생하는 피드백 형태의 1/2 길쌈 부호기와,

일정한 패턴이 반복되는 제어 신호에 따라 1/2 부호율로 부호화된 패리티 비트와
상기 미리 정의된 시퀀스를 다중화하여 출력하는 선택부로 구성된 것을 특징으로 하는
디지털 VSB 전송 시스템.

【청구항 9】

제 8 항에 있어서, 상기 프리코더 바이패스부는

입력되는 데이터가 부가 데이터인 경우 프리코더를 바이패스시키고, 부가 데이터가 아닌 경우는 프리코딩시켜 출력하는 변형된 프리코더와,

상기 프리코더를 바이패스 또는 프리코딩되어 출력되는 데이터에 대해 포스트 디코딩을 수행하는 포스트 디코더로 구성되는 것을 특징으로 하는 디지털 VSB 전송 시스템.

【청구항 10】

제 8 항에 있어서, 상기 피드백 형태의 1/2 길쌈 부호기는

상기 부가 데이터의 정보 비트가 그대로 출력되는 상위 비트 출력단과,

입력되는 데이터가 부가 데이터인 경우에는 바로 뒤단의 레지스터에서 피드백되는 값을 선택하고, 부가 데이터가 아닌 경우에는 최종단의 레지스터에서 피드백되는 값을 선택하여 출력하는 제 1 선택부와,

상기 제 1 선택부를 통해 출력되는 값을 일시 저장하는 제 1 레지스터와,

상기 제 1 레지스터의 출력과 상기 부가 데이터의 정보 비트를 더하는 가산기와,

입력되는 데이터가 부가 데이터가 아닌 경우에는 상기 가산기에서 출력되는 값을 선택하고, 부가 데이터인 경우에는 최종단의 레지스터에서 피드백되는 값을 선택하여 출력하는 제 2 선택부와,

상기 제 2 선택부를 통해 출력되는 값을 일시 저장하는 제 2 레지스터와,

입력되는 데이터가 부가 데이터인 경우에는 상기 제 2 레지스터에서 출력되는 값을 선택하고, 부가 데이터가 아닌 경우에는 하위 비트로 입력되는 값을 선택하여 하위

비트 출력단으로 출력하는 제 3 선택부로 구성되며,

상기 제 1 레지스터, 가산기, 및 제 2 선택부는 상기 제 1 레지스터의 수만큼 직렬로 구성되는 것을 특징으로 하는 디지털 VSB 전송 시스템.

【청구항 11】

제 8 항에 있어서, 상기 선택부로 출력되는 제어 신호는

부가 데이터 심볼인 경우에만 액티브되는 제어 신호로서, 1/2 부호율로 부호화된 패리티 비트를 천공하기 위한 신호이며, 천공된 비트에 대해서는 상기 패리티 비트대신 미리 정의된 시퀀스를 출력하는 것을 특징으로 하는 디지털 VSB 전송 시스템.

【청구항 12】

입력되는 데이터가 부가 데이터인 경우 상기 부가 데이터의 정보 비트에 대해 프리코더를 바이패스하는 프리코더 바이패스부;

상기 부가 데이터의 정보 비트에 대해 1/2 부호율로 부호화하여 패리티 비트를 발생한 후 상기 1/2 부호율로 부호화된 패리티 비트와 상기 부가 데이터에 삽입된 미리 정의된 시퀀스를 다중화하여 출력하는 1/2 부호율 부호기;

상기 프리코더 바이패스부의 출력 데이터에 대해 프리 코딩을 수행하여 8T-VSB 변조기의 최상위 비트로 출력하는 프리 코더;

상기 1/2 부호율 부호기의 출력 데이터를 그대로 상기 8T-VSB 변조기의 중간 비트로 출력함과 동시에 상기 출력 데이터를 트렐리스 부호화하여 상기 8T-VSB 변조기의 최하위 비트로 출력하는 트레릴스 부호기; 그리고

상기 세 개의 입력 비트들에 해당하는 8 레벨의 변조값을 출력하는 8T-VSB 변조기를 포함하여 구성되는 것을 특징으로 하는 디지털 VSB 전송 시스템.

【청구항 13】

제 12 항에 있어서, 상기 프리코더 바이패스부는
입력되는 데이터가 부가 데이터인 경우 프리코더를 바이패스시키고, 부가 데이터가 아닌 경우는 프리코딩시켜 출력하는 변형된 프리코더와,

상기 프리코더를 바이패스 또는 프리코딩되어 출력되는 데이터에 대해 포스트 디코딩을 수행하는 포스트 디코더로 구성되는 것을 특징으로 하는 디지털 VSB 전송 시스템.

【청구항 14】

제 12 항에 있어서, 상기 1/2 부호율 부호기는
입력되는 데이터가 부가 데이터가 아닌 경우 입력 데이터를 바이패스시키는 것을 특징으로 하는 디지털 VSB 전송 시스템.

【청구항 15】

제 12 항에 있어서,
상기 1/2 부호율 부호기는 피드백 형태의 1/2 길쌈 부호기인 것을 특징으로 하는 디지털 VSB 전송 시스템.

【청구항 16】

제 12 항에 있어서, 상기 1/2 부호율 부호기는
상기 부가 데이터의 정보 비트가 그대로 출력되는 상위 비트 출력단과,
입력되는 데이터가 부가 데이터인 경우에는 바로 뒤단의 레지스터에서 피드백되는

값을 선택하고, 부가 데이터가 아닌 경우에는 최종단의 레지스터에서 피드백되는 값을 선택하여 출력하는 제 1 선택부와,

상기 제 1 선택부를 통해 출력되는 값을 일시 저장하는 제 1 레지스터와,

상기 제 1 레지스터의 출력과 상기 부가 데이터의 정보 비트를 더하는 가산기와,

입력되는 데이터가 부가 데이터인 경우에는 상기 가산기에서 출력되는 값을 선택하고, 부가 데이터가 아닌 경우에는 최종단의 레지스터에서 피드백되는 값을 선택하여 출력하는 제 2 선택부와,

상기 제 2 선택부를 통해 출력되는 값을 일시 저장하는 제 2 레지스터와,

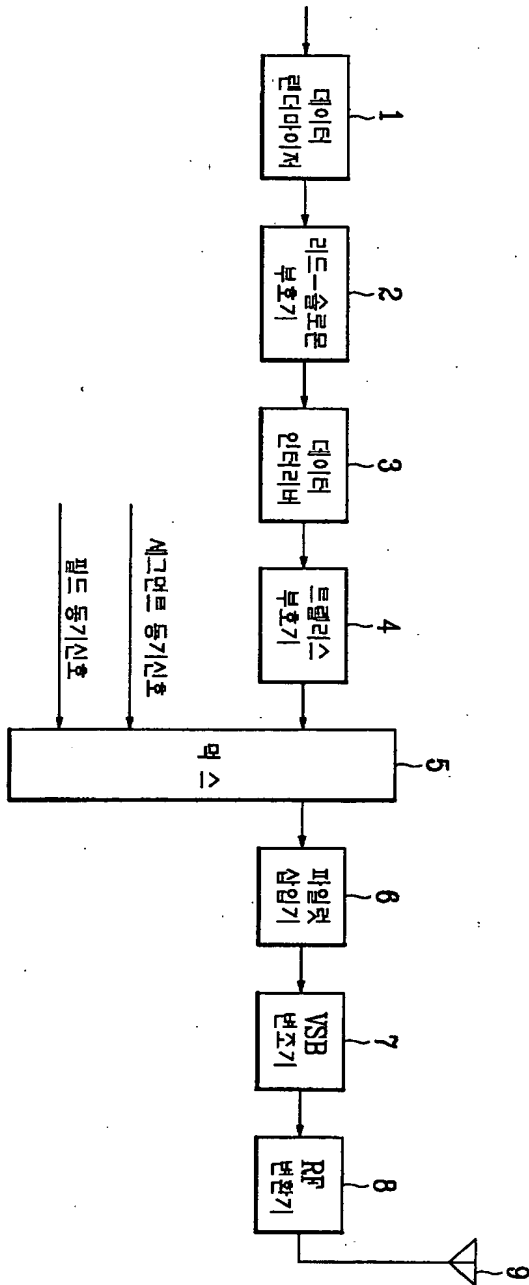
일정한 패턴이 반복되는 제어 신호에 따라 상기 제 2 레지스터의 출력 또는, 하위 비트로 입력되는 미리 정의된 시퀀스를 선택하여 출력하는 제 3 선택부와,

입력되는 데이터가 부가 데이터인 경우에는 상기 제 3 선택부에서 출력되는 값을 선택하고, 부가 데이터가 아닌 경우에는 하위 비트로 입력되는 값을 선택하여 하위 비트 출력단으로 출력하는 제 4 선택부로 구성되며,

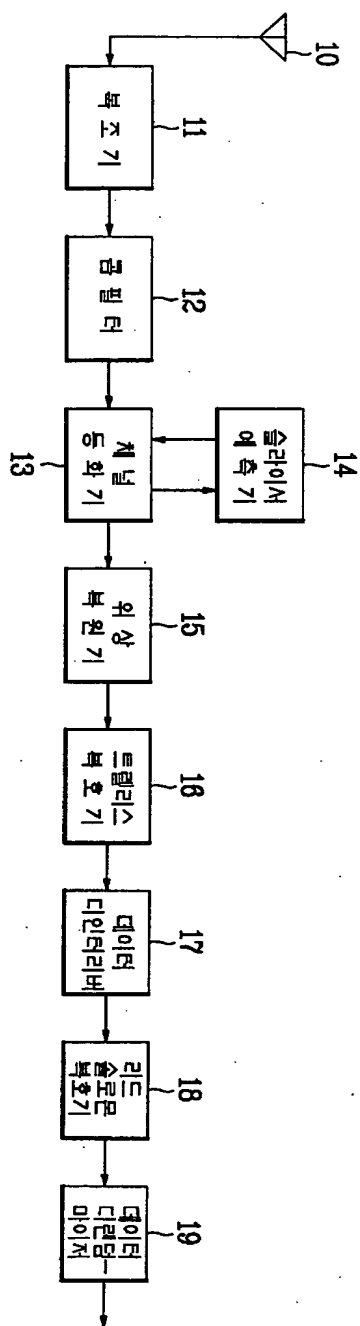
상기 제 1 레지스터, 가산기, 및 제 2 선택부는 상기 제 1 레지스터의 수만큼 직렬로 구성되는 것을 특징으로 하는 디지털 VSB 전송 시스템.

【도면】

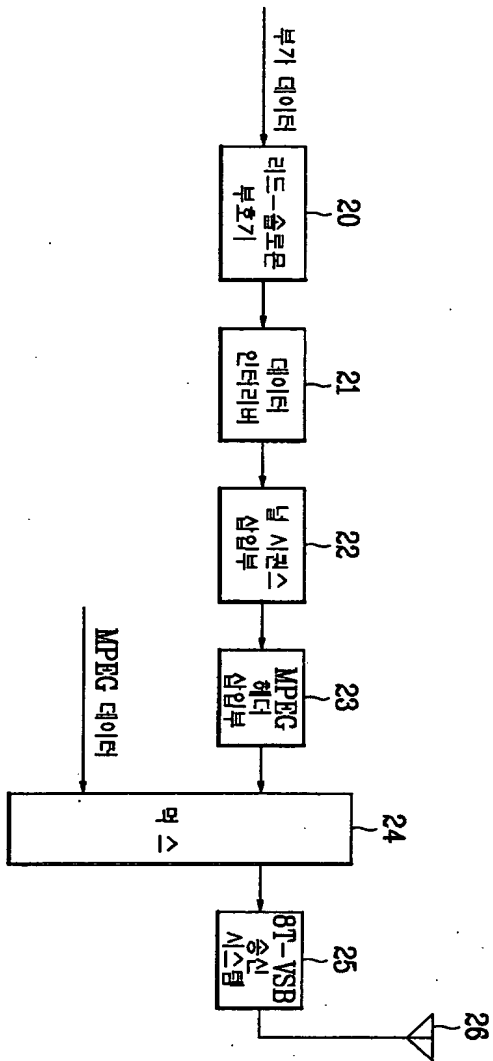
【도 1】



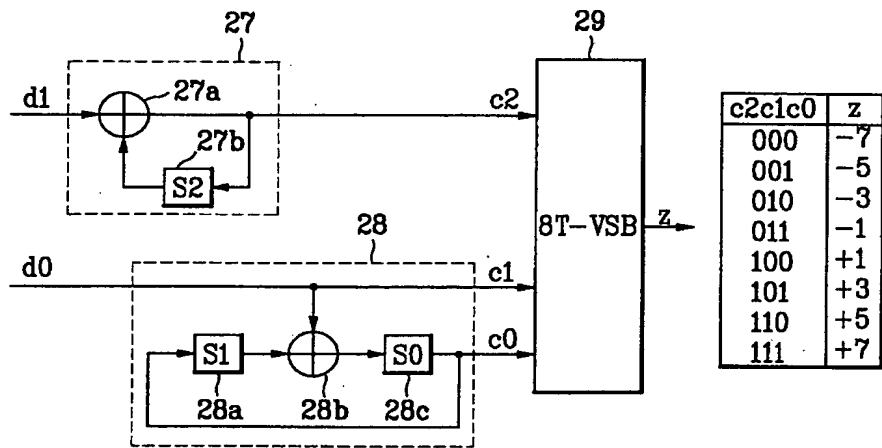
【도 2】



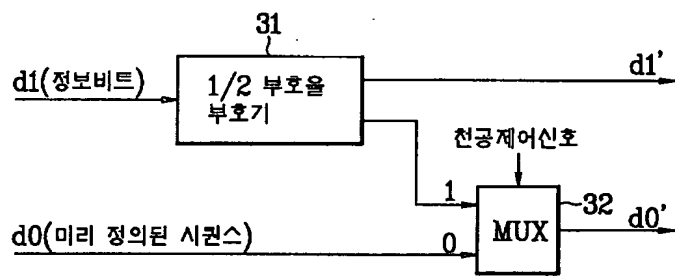
【도 3】



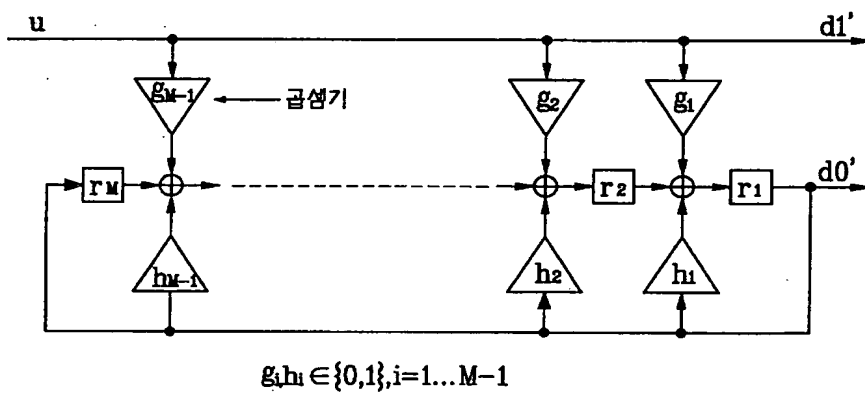
【도 4】



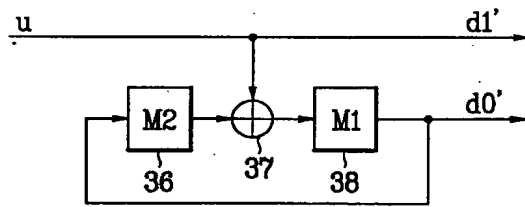
【도 5】



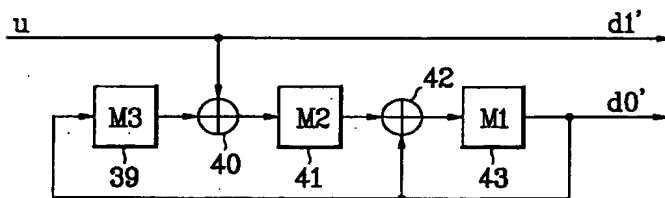
【도 6】



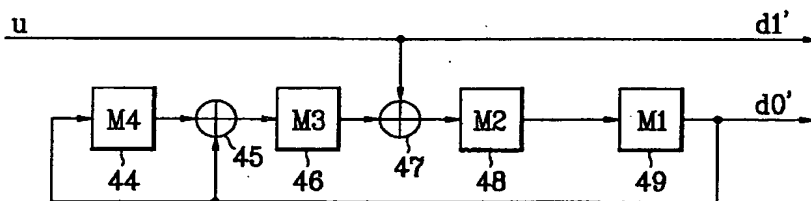
【도 7a】



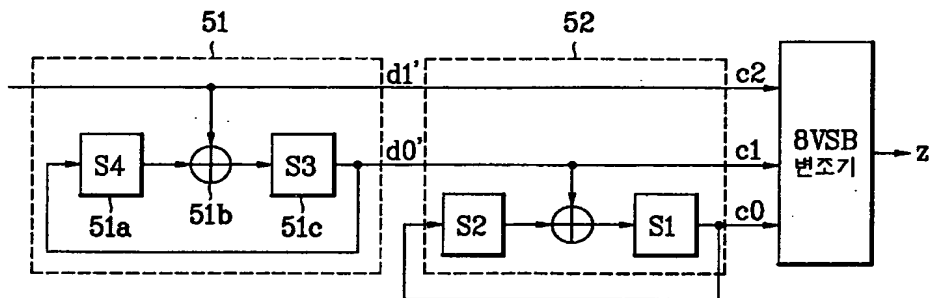
【도 7b】



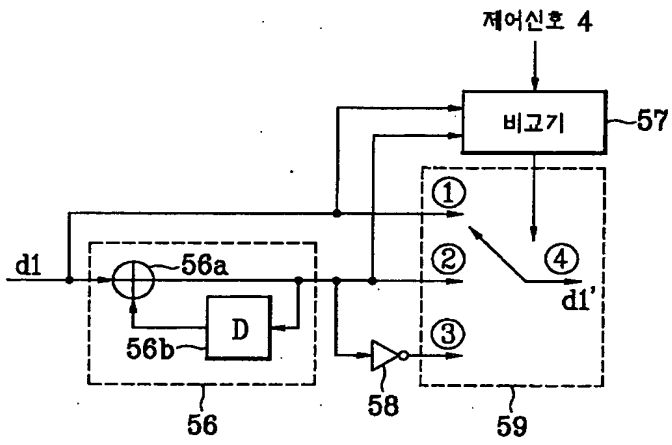
【도 7c】



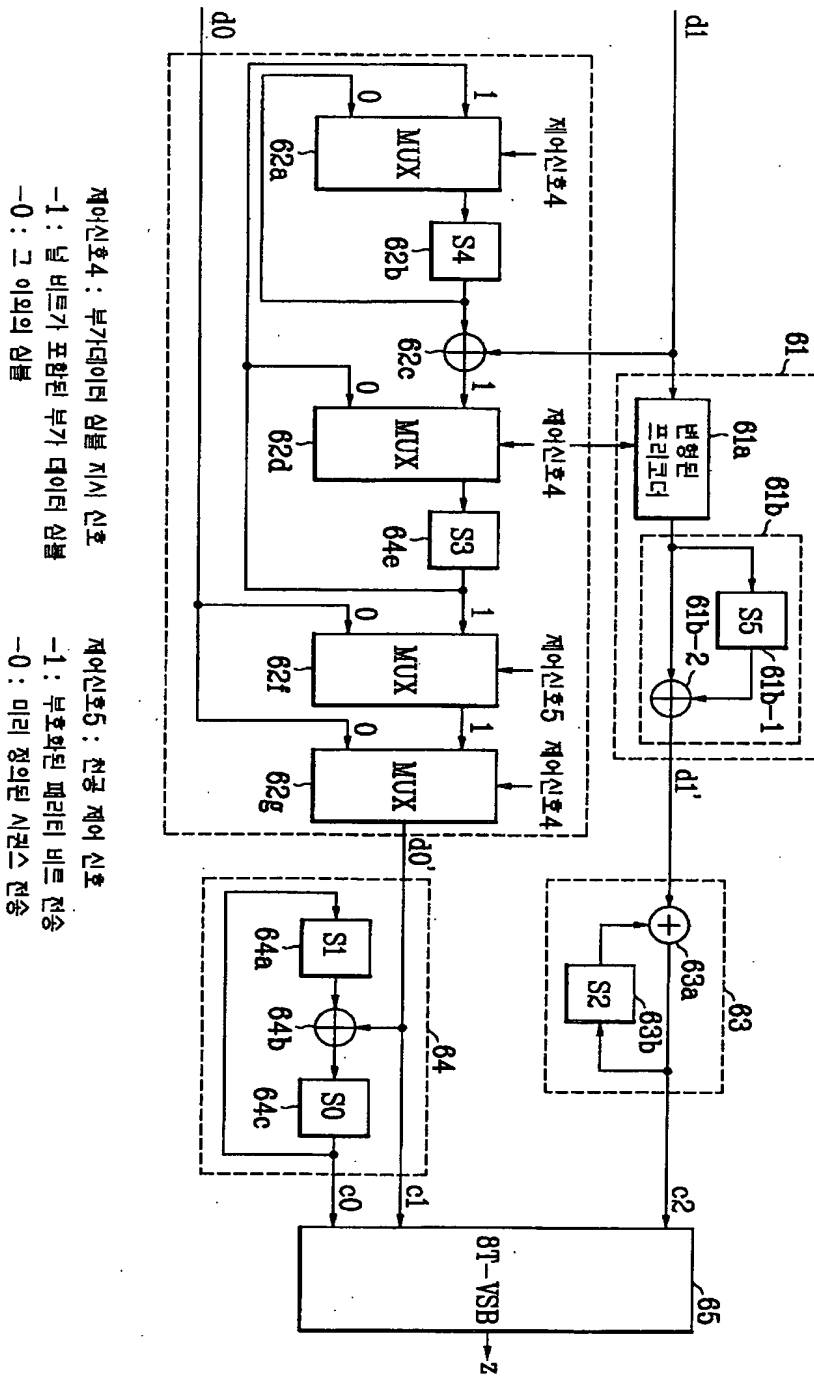
【도 8】



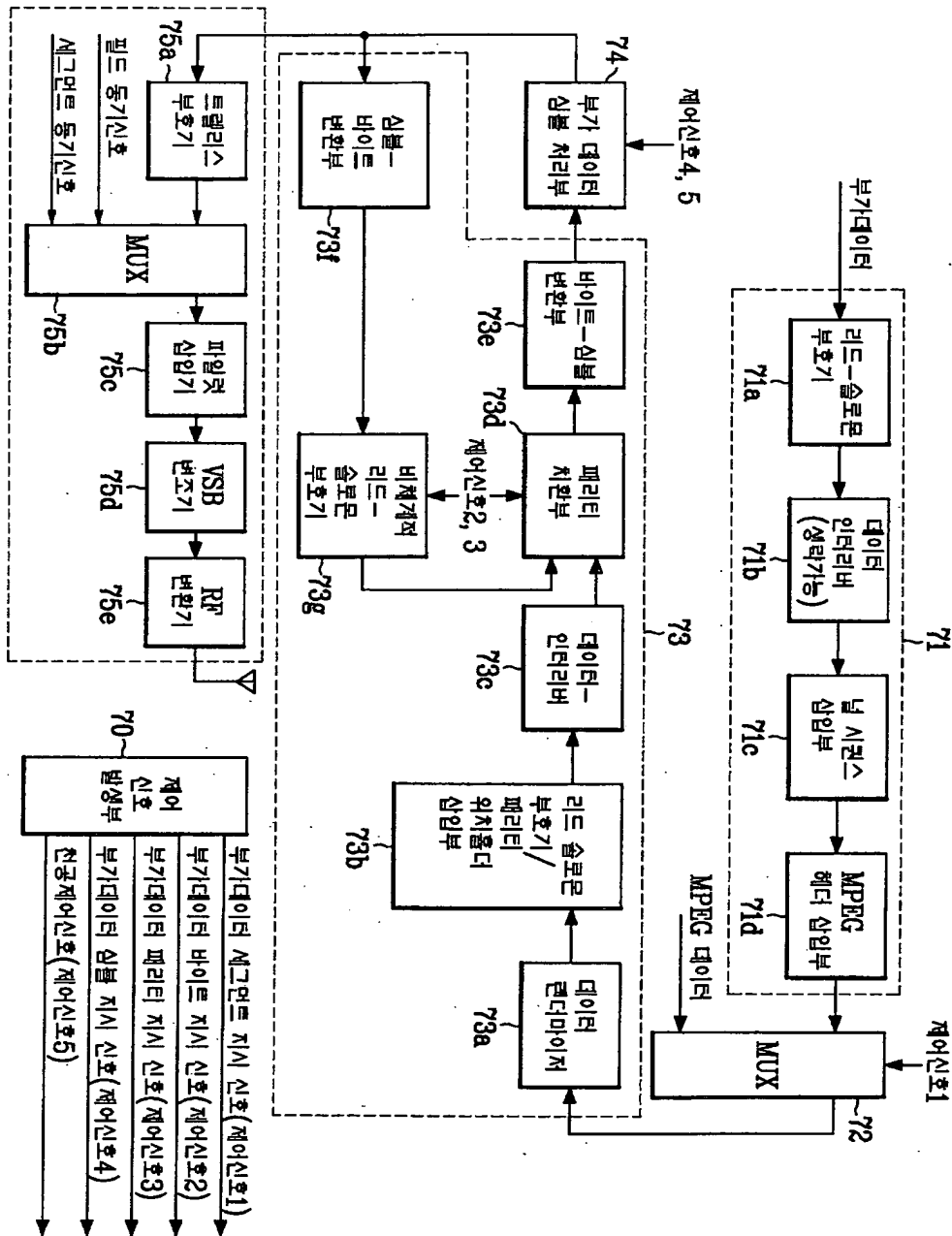
【도 9】



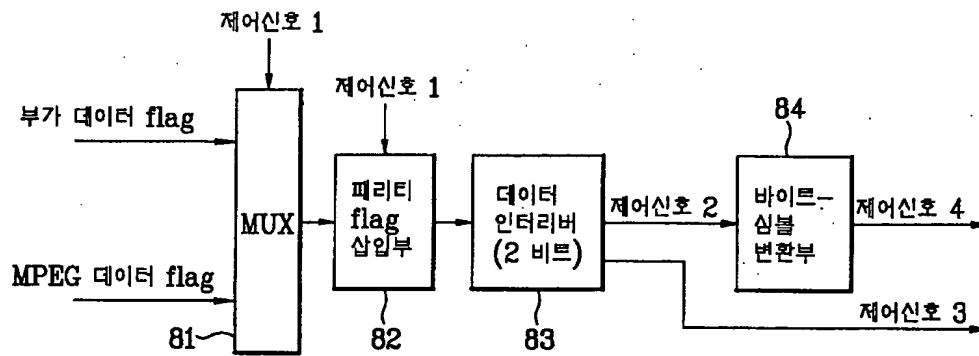
【도 10】



【 11 】



【도 12】



부가 데이터 flag : 3개의 "00" + 184개의 "10"
 MPEG 데이터 flag : 187개의 "00"
 패리티 flag : 부가 데이터 세그먼트인 경우 20개의 "01"
 MPEG 데이터 세그먼트인 경우 20개의 "00"

【도 13】

